

## 明 細 書

### デジタルテレビジョン受信機用モジュール及びそれを備えたデジタルテレビジョン受信機

#### 技術分野

[0001] 本発明は、例えば、テレビジョン受像機、パーソナルパーソナルコンピュータ、携帯型端末装置、映像信号及び音声信号を光ディスクなどの記録媒体に記録するレコーダ装置などの、デジタルテレビジョン放送を受信するデジタルテレビジョン受信機(以下、DTVという。)のためのデジタルテレビジョン受信機用モジュールと、それを備えたデジタルテレビジョン受信機に関する。

#### 背景技術

[0002] 近年、日本、北米、欧州を始め、テレビジョン放送のデジタル化が始まり、それぞれの国や地域の放送規格に応じたデジタルテレビジョン放送受信機が発売されている。例えば、地上波デジタルテレビジョン放送については、国や地域に従って、サービス内容や、導入時の技術水準などが異なるため、以下の3つの規格が勧告されている。欧州では、DVB-T(Digital Video Broadcasting-Terrestrial)方式が採用され、アメリカでは、ATSC(Advanced Television Systems Committee)方式が採用され、日本国内では、ISDB-T(Integrated Services Digital Broadcasting-Terrestrial)方式が採用されている。中国では、欧州におけるDVB-Tを基本とした方式で規格化の作業が進んでいる。

[0003] これらの規格における映像と音声の圧縮方式は、全てMPEG-2規格に準拠した方式を採用している。伝送方式もMPEG-2\_TS信号(トランスポート・ストリーム)規格に準拠している。そのため、DTVにおける映像及び音声の復号器は、インターフェース及び回路を、全ての国や地域で共通化することができる。より詳細には、現状デジタルテレビジョン放送において採用されているMPEG-2や、今後採用される見通しであるITUのH. 264などの圧縮方式は、基本的に、動きベクトルを検出し、動き予測し、符号化するアルゴリズムを用いている。これらの方式で圧縮された映像信号及び音声信号を復号する復号器は、単一のハードウェアと、CPUと、CPU上で動作

するソフトウェアとで実現できる。各方式における詳細な仕様の差異はソフトウェアの変更で対応できる。このことにより、当該モジュールのメーカーは、受信信号が復調器によりMPEG-2\_\_TS信号に復調された後の後段回路、すなわち復号器のハードウェア回路においては、全世界共通のデコーダを製品化することが可能であり、量産効果を上げることができる。

[0004] 一方、テレビジョン放送波信号をアンテナなどを介して受信した後、MPEG-2\_\_TS信号に復調されるまでの部分の回路を、フロントエンド回路というが、フロントエンド回路におけるチューナ及び復調器においては、国や地域特有の電波政策に依存する所が多く、それぞれ異なった方式を採用している。復調器における復調方式は、DVB-T方式及びISDB-T方式ではQAM(Quadrature Amplitude Modulation)方式を採用しており、ATSC方式ではVSB(Vestigial Side Band)方式を採用している。

[0005] フロントエンド回路とデコーダとの間に位置するCA(Conditional Access;条件付きアクセス)部は外付けのコンディショナルアクセスモジュール(以下、CAモジュールという。)と一体的に動作する。CA部においては、ビジネスとも関連するため、暗号化方式、CAモジュールとのインターフェース仕様とともに、ビジネス領域、市場毎に方式が異なっている場合が多い。DVB-T方式ではCI(Common Interface;以下、コモンインターフェースという。)を採用しており、アメリカのオープンケーブル規格に準拠したケーブルテレビジョン放送ではケーブルカードインターフェースを採用し、ISDB-T方式では、ICカードインターフェースを採用している。これらのインターフェースは、いずれも端子仕様において、物理的仕様及び電氣的仕様が異なるCAモジュールを接続する。従って、従来、デジタルテレビジョン受信機のメーカーは、全世界共通のデコーダと、各国や各地域毎のフロントエンド回路モジュールと、各市場毎のCA部とを組み合わせ、各市場向けの構成の異なるデジタルテレビジョン受信機を製品化して動作保証してきた。

[0006] なお、CIについては非特許文献1において記載され、ケーブルカード(旧名POD)については非特許文献2において記載され、ICカードインターフェースについては、非特許文献3記載されている。

[0007] 一方、CA部を結合することにより、複数の市場にも対応する取り組みも検討されて

いる(例えば、特許文献1参照。)。特許文献1は、それぞれのCAモジュールを接続可能な複数のCAモジュールインターフェースを備える。また、複数のCAモジュールインターフェースは、直列に接続されている。

[0008] 特許文献1: 日本国特許出願公開P2000-36820A。

特許文献2: 国際出願公開WO01/047267。

非特許文献1: EUROPEAN STANDARD EN50221, Common Interface Specification for Conditional Access and other Digital Video Broadcasting Decoder Applications, English Version, Ref. No. EN50221:1996E, February 1997。

非特許文献2: AMERICAN STANDARD ANSI/SCTE28 2001 (Formerly DVS 295), HOST-POD Interface Standard, Engineering Committee Digital Video Subcommittee, Society of Cable Telecommunications Engineers, 2001。

非特許文献3: ISO7816-1 Standard, asynchronous smartcard information, Version 1.00, last revised on June 12, 1995。

非特許文献4: PC Card Standard, Volume2, Electrical Specification, PCMCIA/JEITA, 2001。

非特許文献5: SCTE40 2001 (Formerly DVS 313), Digital Cable Network Interface Standard, Engineering Committee Digital Video Subcommittee, Society of Cable Telecommunications Engineers, 2001。

## 発明の開示

### 発明が解決しようとする課題

[0009] しかしながら、上記のような状況では、各国や各地域毎にフロントエンド回路モジュールが異なり、そして、各市場毎にCAモジュールの物理的仕様、電氣的仕様が異なるために、デジタルテレビジョン受信機のメーカーは、全世界共通のデコーダと、各国や各地域毎のフロントエンド回路モジュールと、各市場毎のCAモジュールインターフェースとを組み合わせ、各国や各地域、各市場向けに構成の異なるデジタルテレビジョン受信機を製品化してきた。従って、製品化の度に、デコーダとフロントエンド回路モジュールとCAモジュールインターフェースとを実装した基板の設計と、動作保証とに手間やコストがかかるため、製品の低価格化が図れないという問題が生じ

ていた。特に、CAモジュール含めた動作は、各市場において認証機関による認証が必要な場合が多く、製品化の度に認証するのは手間であり、製造コストが高くなるという問題点があった。さらに、デジタルテレビジョン受信機のメーカーは、全世界共通のデコーダと、各国や各地域毎のフロントエンド回路モジュールと、各市場毎のCAモジュールインターフェースとに加えて、ネットワーク接続などの機能拡張用のLSIを組み合わせ、各国や各地域においてローエンドからハイエンドまでのデジタルテレビジョン受信機を製品化してきた。従って、製品化の度に、デコーダとフロントエンド回路モジュールとCAモジュールインターフェースと機能拡張用のLSIとを実装した基板の設計と、動作保証とに手間やコストがかかるため、製品の低価格化が図れないという問題が生じていた。

[0010] また、特許文献1の構成では、CAモジュールインターフェースをそれぞれ備える必要がある。従って、インターフェースの回路やソケットのコストが増大するために、CAモジュール含めた各市場共通のDTV用モジュールの実現を考えた場合、コストデメリットが生じる。従って、本来共通化して享受するはずの量産効果によるコストダウンが小さくなるという問題が生じていた。

[0011] また、CAモジュールとの接続端子数は、備えるインターフェース数に応じて増加する。端子数では、例えば、CIカードと、ケーブルカードの端子数はそれぞれ68端子であるが、これら2種のCAモジュールインターフェースだけで少なくとも136の端子が必要となる。従って、CAモジュールとの接続端子数が増大するために、CAモジュール含めた各市場共通のDTV用モジュールの実現を考えた場合、小型化する上でデメリットが生じる。従って、モジュール化して小型化を図る上で端子数がボトルネックになるという問題が生じていた。特に、モジュールの実現形態を半導体チップ化、多層構造のプリント配線基板化のように超小型化を図る場合においては、半導体チップやプリント基板の面積に対し、接続端子が占める面積の割合が非常に多くなる。これは接続端子の小型化は、端子に接続される配線のピッチや接続する工法にも影響されるため、限界があるためである。従って、接続端子数が増大すると接続端子の面積によりチップやプリント基板の面積が決まる場合もあり、小型化ができないという問題が生じていた。

[0012] 本発明の第1の目的は以上の問題点を解決し、各国や各地域のフロントエンド回路及び各市場のCAモジュールを直接的に接続可能であって、従来技術に比較して簡単にかつ安価に製造することができるDTV用モジュール及びそれを備えたデジタルテレビジョン受信機を提供することにある。

[0013] また、本発明の第2の目的は以上の問題点を解決し、各国や各地域のフロントエンド回路及び各市場のCAモジュールと機能拡張ボードとを直接的に接続可能であって、従来技術に比較して簡単にかつ安価に製造することができるDTV用モジュール及びそれを備えたデジタルテレビジョン受信機を提供することにある。

#### 課題を解決するための手段

[0014] 本発明に係るデジタルテレビジョン受信機用モジュールは、デジタルテレビジョン信号を受信するデジタルテレビジョン受信機のためのデジタルテレビジョン受信機用モジュールにおいて、

互いに異なる放送方式のデジタルテレビジョン信号を受信可能な外部基板のうちの1つの外部基板と電氣的に接続するための複数の端子を有する第1の接続手段と、

上記外部基板に設けられた復調器から上記第1の接続手段を介して入力されるデジタルテレビジョン信号に対して復号化処理を実行することにより映像信号及び音声信号に変換して上記第1の接続手段を介して出力する復号化手段と、

上記デジタルテレビジョン受信機用モジュールの動作を制御する制御手段と、

互いに異なる電氣的仕様を有する複数種類のコンディショナルアクセスモジュールのうちの1つのコンディショナルアクセスモジュールに上記第1の接続手段を介して接続され、かつ上記復調器、上記復号化手段及び上記制御手段に接続され、上記復調器と、上記コンディショナルアクセスモジュールと、上記復号化手段と、上記制御手段との間で通信される複数の信号の入力及び出力処理を実行するインターフェース手段とを備え、

上記制御手段は、当該入力されるデジタルテレビジョン信号の放送方式と当該接続されるコンディショナルアクセスモジュールの種類のうちの少なくとも一方に対応して、当該接続されるコンディショナルアクセスモジュールの電氣的仕様に適合するよう

に、上記第1の接続手段を介して通信される信号の種類を切り換えることにより、上記インターフェース手段を制御することを特徴とする。

[0015] 上記デジタルテレビジョン受信機用モジュールにおいて、上記インターフェース手段は、上記復調器から上記第1の接続手段を介して入力されるデジタルテレビジョン信号を、上記第1の接続手段を介して上記コンディショナルアクセスモジュールに出力するとともに、上記復号化手段に出力することを特徴とする。

[0016] また、上記デジタルテレビジョン受信機用モジュールにおいて、上記インターフェース手段は、複数のバッファを備え、

上記制御手段は、上記各バッファのオン／オフを制御することにより、上記入力及び出力処理を制御することを特徴とする。

[0017] さらに、上記デジタルテレビジョン受信機用モジュールにおいて、上記制御手段は、上記コンディショナルアクセスモジュールが上記第1の接続手段を介して接続されていないとき、上記コンディショナルアクセスモジュールからの検出信号を上記制御手段に出力するように上記インターフェース手段を制御することを特徴とする。

[0018] 上記デジタルテレビジョン受信機用モジュールにおいて、上記制御手段は、上記複数種類のコンディショナルアクセスモジュールのうちの第1の種類のコンディショナルアクセスモジュールが上記第1の接続手段を介して接続されたとき、上記接続されたコンディショナルアクセスモジュールから上記第1の接続手段を介して入力されるデジタルテレビジョン信号を上記復号化手段に出力するように上記インターフェース手段を制御することを特徴とする。

[0019] また、上記デジタルテレビジョン受信機用モジュールにおいて、上記制御手段は、第1の電源電圧を上記第1の接続手段を介して上記接続されたコンディショナルアクセスモジュールに出力するとともに、上記制御手段からのアドレス信号及びデータ信号を上記第1の電源電圧で上記第1の接続手段を介して上記接続されたコンディショナルアクセスモジュールに出力するように上記インターフェース手段を制御することを特徴とする。

[0020] さらに、上記デジタルテレビジョン受信機用モジュールにおいて、上記第1の種類のコンディショナルアクセスモジュールは、コモンインターフェースのコンディショナル

アクセスモジュールであることを特徴とする。

- [0021] 上記デジタルテレビジョン受信機用モジュールにおいて、上記制御手段は、上記複数種類のコンディショナルアクセスモジュールのうちの第2の種類のコンディショナルアクセスモジュールが上記第1の接続手段を介して接続された初期状態のときに、第2の電源電圧を上記第1の接続手段を介して上記接続されたコンディショナルアクセスモジュールに出力し、上記接続されたコンディショナルアクセスモジュールから上記第1の接続手段を介して入力されるデジタルテレビジョン信号を上記復号化手段に出力するとともに、上記制御手段からのアドレス信号及びデータ信号を上記第2の電源電圧で上記第1の接続手段を介して上記接続されたコンディショナルアクセスモジュールに出力するように上記インターフェース手段を制御することを特徴とする。
- [0022] また、上記デジタルテレビジョン受信機用モジュールにおいて、上記制御手段は、上記複数種類のコンディショナルアクセスモジュールのうちの第2の種類のコンディショナルアクセスモジュールが上記第1の接続手段を介して接続された初期状態の後の動作状態のときに、上記接続されたコンディショナルアクセスモジュールから上記第1の接続手段を介して入力されるクロック信号を上記復号化手段に出力するとともに、上記復調器から上記第1の接続手段を介して入力される制御信号を上記第1の接続手段を介して上記接続されたコンディショナルアクセスモジュールに出力し、上記接続されたコンディショナルアクセスモジュールから上記第1の接続手段を介して入力される制御信号を上記第1の接続手段を介して上記復調器に出力するように上記インターフェース手段を制御することを特徴とする。
- [0023] さらに、デジタルテレビジョン受信機用モジュールにおいて、上記第2の種類のコンディショナルアクセスモジュールは、ケーブルカードのコンディショナルアクセスモジュールであることを特徴とする。
- [0024] また、上記デジタルテレビジョン受信機用モジュールにおいて、第3の種類のコンディショナルアクセスモジュールを上記インターフェース手段及び上記制御手段に接続する別のインターフェース手段をさらに備えたことを特徴とする。
- [0025] さらに、上記デジタルテレビジョン受信機用モジュールにおいて、上記第3の種類のコンディショナルアクセスモジュールはICカードのコンディショナルアクセスモジュール

ールであることを特徴とする。

[0026] 上記デジタルテレビジョン受信機用モジュールにおいて、

(a) 上記第1の接続手段が上記インターフェース手段に接続された第1の状態と、

(b) 上記第1の接続手段が上記別のインターフェース手段に接続された第2の状態とを選択的に切り替える手段をさらに備えたことを特徴とする。

[0027] また、上記デジタルテレビジョン受信機用モジュールは、複数層の基板を備え、第1の信号配線層基板と、第2の信号配線層基板との間に、複数の薄膜コンデンサを実装したコンデンサ層基板と、複数の薄膜抵抗を実装した抵抗層基板とを挟設したことを特徴とする。

[0028] さらに、上記デジタルテレビジョン受信機用モジュールにおいて、

(a) 第1の種類の復調器と、上記第1の種類のコンディショナルアクセスモジュールを接続可能な第2の接続手段とを備え、第1の放送方式に準拠した第1の種類の外部基板と、

(b) 第2の種類の復調器と、上記第2の種類のコンディショナルアクセスモジュールを接続可能な第2の接続手段とを備え、第2の放送方式に準拠した第2の種類の外部基板とのうちの1つに上記第1の接続手段を介して接続可能であることを特徴とする。

[0029] 上記デジタルテレビジョン受信機用モジュールにおいて、上記制御手段は、上記外部基板から上記第1の接続手段を介して入力される種別データ信号に基づいて、上記外部基板の種類及び上記入力されるデジタルテレビジョン信号の放送方式を検出し、上記検出した放送方式に基づいて、上記復号化手段の動作を制御するとともに、上記第1の接続手段を介して通信される信号の種類を切り換えることにより、上記インターフェース手段を制御することを特徴とする。

[0030] また、上記デジタルテレビジョン受信機用モジュールにおいて、上記種別データ信号は、上記外部基板において接地導体と接続するか否かにより、上記外部基板の種類に依存して異なるように発生されることを特徴とする。

[0031] さらに、上記デジタルテレビジョン受信機用モジュールにおいて、上記種別データ信号は、上記外部基板に実装されたメモリに、上記外部基板の種類に依存して異なるように格納されたデータを読み出したデータの信号であることを特徴とする。



- [0032] またさらに、上記デジタルテレビジョン受信機用モジュールにおいて、上記放送方式は、DVB-T方式と、ATSC方式と、ISDB-T方式とのうちの少なくとも1つを含むことを特徴とする。
- [0033] また、上記デジタルテレビジョン受信機用モジュールにおいて、上記デジタルテレビジョン受信機用モジュールの機能を拡張するための互いに異なる機能を有する複数種類の機能拡張基板を接続するための第3の接続手段をさらに備えたことを特徴とする。
- [0034] さらに、上記デジタルテレビジョン受信機用モジュールにおいて、上記機能拡張ボードは、ネットワークに接続するためのネットワーク機能拡張基板と、CATVのヘッドエンドに接続するためのCATVモデム機能拡張基板とのうちの少なくとも1つを含むことを特徴とする。
- [0035] 本発明に係るデジタルテレビジョン受信機は、上記デジタルテレビジョン受信機用モジュールと、上記外部基板とを備えたデジタルテレビジョン受信機であって、  
上記外部基板は、  
第1の種類の復調器と、  
第1の種類のコンディショナルアクセスモジュールを接続する第2の接続手段とを備え、  
上記外部基板は、第1の放送方式に準拠した第1の種類の外部基板であることを特徴とする。
- [0036] また、本発明に係るデジタルテレビジョン受信機は、上記デジタルテレビジョン受信機用モジュールと、上記外部基板とを備えたデジタルテレビジョン受信機であって、  
上記外部基板は、  
第1の種類の復調器と、  
第1の種類のコンディショナルアクセスモジュールを接続する第2の接続手段とを備え、  
上記外部基板は、第1の放送方式に準拠した第1の種類の外部基板であり、  
上記デジタルテレビジョン受信機用モジュールは、第1の種類の上記機能拡張基板をさらに備えたことを特徴とする。

- [0037] 上記デジタルテレビジョン受信機において、上記外部基板は、  
互いに異なる複数種類のディスプレイデバイスにそれぞれ対応して異なる種類の回路を有し、上記デジタルテレビジョン受信機用モジュールから出力される映像信号及び音声信号を上記ディスプレイデバイスに出力する複数の種類のディスプレイインターフェースのうちの1つをさらに備えたことを特徴とする。
- [0038] また、上記デジタルテレビジョン受信機において、上記ディスプレイは、液晶ディスプレイと、プラズマディスプレイと、CRTディスプレイのうちの1つであることを特徴とする。
- [0039] 本発明に係るデジタルテレビジョン受信機は、上記デジタルテレビジョン受信機用モジュールと、上記外部基板とを備えたデジタルテレビジョン受信機であって、  
上記外部基板は、  
第1の種類の復調器と、  
第1の種類のコンディショナルアクセスモジュールを接続する第2の接続手段と、  
第1の種類のディスプレイを接続する第1の種類のディスプレイインターフェースとを備え、  
上記外部基板は、第1の放送方式に準拠し、第1の種類のディスプレイに接続する第1の種類の外部基板であることを特徴とする。
- [0040] また、本発明に係るデジタルテレビジョン受信機は、上記デジタルテレビジョン受信機用モジュールと、上記外部基板とを備えたデジタルテレビジョン受信機であって、  
上記外部基板は、  
第1の種類の復調器と、  
第1の種類のコンディショナルアクセスモジュールを接続する第2の接続手段と、  
第1の種類のディスプレイを接続する第1の種類のディスプレイインターフェースとを備え、  
上記外部基板は、第1の放送方式に準拠し、第1の種類のディスプレイに接続する第1の種類の外部基板であり、  
上記デジタルテレビジョン受信機用モジュールは、第1の種類の上記機能拡張基板をさらに備えたことを特徴とする。

- [0041] 上記デジタルテレビジョン受信機において、上記デジタルテレビジョン受信機用モジュールは第1の誘電体基板にて形成され、  
上記外部基板は第2の誘電体基板にて形成され、  
上記第2の誘電体基板の誘電率は上記第1の誘電体基板の誘電率よりも高いことを特徴とする。

#### 発明の効果

- [0042] 従って、本発明に係るDTV用モジュールによれば、各国や各地域共通のデコーダを備えるとともに、各国や各地域のフロントエンド回路及び各市場のCAモジュールを直接的に接続できる。それ故、本発明に係るDTV用モジュールは、各国や各地域のフロントエンド回路及び各市場のCAモジュールと接続して動作することを保証できる。
- [0043] また、DTV用モジュールに接続可能に適合したマザーボードを各国や各地域、各市場毎に用意することで、DTV用モジュールをマザーボードに接続して、各国や各地域、各市場向けの受信機を製品化することができる。従って、デジタルテレビジョン受信機のメーカーは、本発明に係るDTV用モジュールを用いれば、各国や各地域毎のフロントエンド回路モジュールと各市場のCAモジュールのソケットを実装したマザーボードを設計することで、各国や各地域、各市場向けのデジタルテレビジョン受信機を容易に製品化できる。さらに、DTV用モジュールでCAモジュール含めた動作について各市場の認証機関による認証を済ませておけば、製品毎に認証する手間やコストも省ける。その結果、メーカーの製品化コストの削減が可能となり、デジタルテレビジョン受信機の低価格化が図れる。
- [0044] また、本発明に係るDTV用モジュールによれば、各市場の電氣的仕様が異なる複数種類のCAモジュールに接続するためのインターフェース回路やソケットを共通化できる。従って、製造コストを増大させることなく、CAインターフェース含めた全世界に対応するDTV用モジュールを実現して製品化できるため、量産効果によるコストダウンができ、デジタルテレビジョン受信機の普及に貢献することができる。
- [0045] さらに、CAモジュールとの接続端子数を増大させることなく、CAインターフェース含めたDTV用モジュールを実現できるため、モジュール化により小型・軽量化でき、

携帯型受信機や車載受信機などにも適用できる。これにより、デジタルテレビジョン受信機の普及に貢献することができる。各国や各地域のフロントエンド回路及び各市場のCAモジュールと接続することによる端子数の増大を抑えることができるため、特にモジュールの実現形態を半導体チップ化、多層構造のプリント配線基板化のように超小型化を図る場合において、接続端子の面積によりチップやプリント基板の面積が決まり、小型化ができないという問題を解決することができる。

- [0046] またさらに、本発明に係るDTV用モジュールによれば、ネットワーク機能拡張ボードを接続することによりネットワーク関連機能を備えることができるとともに、CATVモデム機能拡張ボードを接続することによりCATVモデム機能を備えることができる。従って、デジタルテレビジョン受信機のメーカーは、本発明に係るDTV用モジュールを用いれば、各地域毎のフロントエンド回路と各市場のCAモジュールの各ソケットを実装したマザーボードと機能拡張用ボードを設計することで、マザーボードと機能拡張用ボードを組み合わせ、各地域、市場向けのローエンドからハイエンドまでのデジタルテレビジョン受信機を容易に、しかも従来技術に比較して低価格で小型・軽量で製品化できる。

#### 図面の簡単な説明

- [0047] [図1]本発明の第1の実施形態に係るテレビジョン受信機において、DTV用モジュール1をマザーボード101に実装し、マザーボード101を受信機筐体104内に実装するときのテレビジョン受信機の一부분解実装図である。
- [図2]図1のDTV用モジュール1の上面図である。
- [図3]図1のDTV用モジュール1の裏面図である。
- [図4]図1のDTV用モジュール1の多層構造を示す分解斜視図である。
- [図5]図1のDTV用モジュール1及びマザーボード101を含むシステムの構成を示すブロック図である。
- [図6]図1のDTV用モジュール1に形成されたCAインターフェース回路3の構成を示す回路図である。
- [図7]図6のCPU19から各バッファ33乃至43に供給されるイネーブル制御信号D, E, F, H, J, Kのオン／オフ状態のテーブルを示す図である。

[図8]図6の各バッファ33乃至43及びPCカードに供給される電源電圧のテーブルを示す図である。

[図9]図6のCPU19によって実行されるCAモジュール挿入検出処理を示すフローチャートである。

[図10]本発明の第2の実施形態に係るテレビジョン受像機の構成を示す一部分解背面図である。

[図11]図10のDTV用モジュール1及びマザーボード201を含むシステムの構成を示すブロック図である。

[図12]図11の各制御電圧V1, V2の設定値のテーブルを示す図である。

[図13]図6のCAインターフェース回路3を用いたときの図11のシステムにおいて、CPU19から各バッファ33乃至43に供給されるイネーブル制御信号D, E, F, H, J, Kのオン/オフ状態のテーブルを示す図である。

[図14]図6のCAインターフェース回路3を用いたときの図11のシステムにおいて、図6の各バッファ33乃至43及びPCカードに供給される電源電圧のテーブルを示す図である。

[図15]本発明の第3の実施形態に係る、DTV用モジュール1と、当該DTV用モジュール1に接続される各国用マザーボード201-1, 201-2, 201-3とを含むシステムの構成を示すブロック図である。

[図16]第3の実施形態に係るシステムにおいて、日本におけるISDB-T方式を用いるICカードと、欧州におけるDVB-T方式を用いるCIカードと、北米におけるオープンケーブル方式を用いるケーブルカードとを含むCAモジュール14の入出力信号及び端子のテーブルの第1の部分を示す図である。

[図17]図16のテーブルの第2の部分を示す図である。

[図18]図16のテーブルの第3の部分を示す図である。

[図19]図15のディスプレイインターフェース206を介してディスプレイ駆動回路208に出力される映像信号及び音声信号及び端子のテーブルを示す図である。

[図20]図15の各復調器12-1, 12-2, 12-3からのMPEG-2TS信号の各詳細信号及び端子のテーブルを示す図である。

[図21]本発明の第4の実施形態に係る、DTV用モジュール1と、当該DTV用モジュール1に接続される各国用マザーボード201-1, 201-2, 201-3と、ネットワーク機能拡張ボード401と、CATVモデム機能拡張ボード411とを含むシステムの構成を示すブロック図である。

[図22]本発明の第3の実施形態の変形例に係る、DTV用モジュール1と、当該DTV用モジュール1に接続される各国用マザーボード201-1, 201-2, 201-3とを含むシステムの構成を示すブロック図である。

### 符号の説明

- [0048] 1…DTV用モジュール、  
2…デコーダLSI、  
3…CAインターフェース回路、  
3B…バッファ、  
4…メモリ、  
5…VCXO、  
6…ROM、  
7…コンデンサ、  
9…半田ボール、  
10…メモリ、  
12, 12-1, 12-2, 12-3…復調器、  
12A…アンテナ、  
13…PCカードソケット、  
13-1…ICカードソケット、  
13-2…CIカードソケット、  
13-3…ケーブルカードソケット、  
14…CAモジュール、  
18…デコーダ、  
19…CPU、  
19B…バス、

22…ICカードインターフェース、  
22B…バッファ、  
23…ICカードコネクタ、  
24, 25…信号線、  
31…電源電圧切替スイッチ、  
31A, 31B, 32…電源端子、  
33, 34, 35, 36, 37, 38, 39, 40, 40A, 40B, 41, 42, 43…バッファ、  
51, 52…信号配線層基板、  
53…コンデンサ層基板、  
54…接地導体層基板、  
55…抵抗層基板、  
56…電源層基板、  
57, 58…信号配線層基板、  
61…薄膜コンデンサ、  
62…薄膜抵抗、  
101…マザーボード、  
102, 102-1, 102-2, 102-3…フロントエンド回路、  
103…電源ユニット、  
104…受信機筐体、  
104a…表示部、  
105…ソケット、  
106…AV出力回路、  
201, 201-1, 201-2, 201-3…マザーボード、  
202…フロントエンド回路、  
203…電源ユニット、  
204…テレビジョン受像機、  
204D…ディスプレイ、  
205…ソケット、

206…ディスプレイインターフェース、  
207…支持台、  
208…ディスプレイ駆動回路、  
209-1, 209-2, 209-3…EEPROM、  
401…ネットワーク機能拡張ボード、  
402…イーサネットインターフェース、  
403…ハードディスクドライブ、  
404…通信コントローラ、  
411…CATVモデム機能拡張ボード、  
412…ケーブルモデム、  
Rp1, Rp2…プルアップ抵抗、  
T1, T2, T3, T4, T5, T6…接続端子。

発明を実施するための最良の形態

[0049] 以下、本発明に係る実施形態について図面を参照して説明する。なお、同様の構成要素については同一の符号を付している。

[0050] 第1の実施形態。

図1は本発明の第1の実施形態に係るテレビジョン受信機において、DTV用モジュール1をマザーボード101に実装し、マザーボード101を受信機筐体104内に実装するときのテレビジョン受信機の一分解実装図である。また、図2は図1のDTV用モジュール1の上面図であり、図3は図1のDTV用モジュール1の裏面図である。さらに、図4は図1のDTV用モジュール1の多層構造を示す分解斜視図である。第1の実施形態では、デジタル放送受信機、特にセットトップボックスにおけるDTV用モジュール1をテレビジョン受信機に実装した一例について以下説明する。

[0051] 図1において、テレビジョン受信機のためのDTV用モジュール1は誘電体基板にてなるマザーボード101の位置1Aに実装され、当該マザーボード101は、受信機筐体104の位置101A内に実装される。マザーボード101上には、DTV用モジュール1のほかにフロントエンド回路102やAV出力回路106などの回路が実装され、また、マザーボード101に外部装置との接続のためのソケット105が設けられる。受信機筐



体104のおもて面にはテレビジョン受信機の動作状態などを表示する表示部104aが実装され、また、受信機筐体104内にマザーボード101などに電源電圧を供給する電源ユニット103が実装されている。

[0052] 図2において、DTV用モジュール1は、両面に実装が可能な多層構造の複数のプリント配線基板51乃至58(図4参照。)と、それらに実装される部品とから構成される。図4に示すように、DTV用モジュール1は、図2を参照して詳細後述するおもて面側の信号配線層基板51、52と、複数の薄膜コンデンサ61を実装したコンデンサ層基板53と、接地導体を実装した接地導体層基板54と、複数の薄膜抵抗62を実装した抵抗層基板55と、電源回路及びその配線を実装した電源層基板56と、図3を実装して詳細後述する裏面側の信号配線層基板57、58とが積層されて構成される。以上のように構成することにより、DTV用モジュール1を従来技術に比較してきわめて小型に薄く製造できる。内層であるコンデンサ層基板53及び抵抗層基板55には、薄膜コンデンサ61や薄膜抵抗62以外に、DTVモジュール1を構成する部品である後述のLSIやメモリのベアチップを実装してもよく、これにより、DTVモジュール1について内装における部品の実装率を上げることにより、DTV用モジュール1をさらに小型化することができる。

[0053] 図2において、DTV用モジュール1のおもて面である部品面に実装されている部品は、各国や各地域のデジタルテレビジョン放送における圧縮方式に対応したデコード処理を行うデコーダLSI2と、各市場におけるCAモジュールと直接的に接続可能な共通インターフェースであるCAインターフェース回路3と、デコーダLSIのワーキング用メモリ4と、デコーダLSI2のクロックを発生する電圧制御水晶発振器(以下、VCXOという。)5と、デコーダLSI2内のCPU用のプログラムのコードなどのデータを記憶するROM6と、図示しない各部品用の電源に接続されるコンデンサ7とを含む。

[0054] 図3において、DTV用モジュール1の裏面である半田面に実装されている部品は、デコーダLSIの別のワーキング用メモリ10と、DTV用モジュール1をマザーボード101に実装するときに信号線及び電源線を接続するための端子である半田ボール9とを含む。DTV用モジュール1は、単体で各国や各地域の圧縮方式に対する復号化処理を実行でき、各国や各地域の復調器12を含むフロントエンド回路と接続でき、各

市場のCAモジュールと接続できる。

- [0055] 図2に示すように、デコーダLSI2はDTV用モジュール1の部品面の概略中央に配置され、図3に示すように、別のワーキング用メモリ10はDTV用モジュール1の半田面の概略中央でかつ半田ボール9の間に配置される。従って、デコーダLSI2と別のワーキング用メモリ10との間の配線が短くなり電気信号の伝搬遅延時間を短縮して性能の向上ができるとともに、DTV用モジュール1の半田面の実装率を上げることができ、DTVモジュール1の基板サイズの小型化ができる。また、基板サイズの小型化により低価格化が図れる。さらに、別のワーキング用メモリ10をDTV用モジュール1の半田面の中央に配置することにより、半田ボール9をその周囲に上下及び左右に均等に配列できる。従って、DTVモジュール1の実装をバランス良く行うことができる。
- [0056] なお、以上の実施形態においては、DTV用モジュール1のプリント配線基板51, 52, 53, 55, 57, 58に各部品を実装する形態を示したが、本発明はこれに限らず、上記各部品を半導体チップに実装しパッケージの中に収めてLSI化してもよい。
- [0057] さらに、図1を参照して、DTV用モジュール1及びマザーボード101の受信機筐体104への実装形態について以下に詳細説明する。
- [0058] 図1において、DTV用モジュール1は、各国や各地域毎のフロントエンド回路102と、各市場毎のCAモジュールを接続するためのソケット105と、映像信号と音声信号を外部装置に出力するAV出力回路106とが実装されているマザーボード101に実装される。マザーボード101には、DTV用モジュール1の裏面の複数の半田ボール9の配置に対応した接続用端子である複数のランド(図示せず。)が形成されており、マザーボード101とDTV用モジュール1は、リフロー工程により物理的に連結されてかつ電氣的に接続される。DTV用モジュール1が連結かつ接続されたマザーボード101は、受信機104の筐体に電源ユニット103と共に組み込まれる。
- [0059] 図2及び図3に示すように、メモリ4やメモリ10などの動作速度の速い、例えばDRAMにてなるメモリはDTV用モジュール1側にあるため、マザーボード101には動作速度が遅い部品のみが実装されることになる。DTV用モジュールを使用しない従来技術に係るテレビジョン受信機では、同じプリント配線基板上に部品を配置するため、

プリント配線基板の性能は、最も高速なメモリにより決まっていた。そのために、従来は誘電率の低い基板を使用していたが、マザーボード101は、誘電率の高い低性能なプリント配線基板を使用することが可能であり、コストダウンを図ることができる。すなわち、マザーボード101は、DTV用モジュール1の誘電体基板の誘電率よりも高い誘電率を有する誘電体基板を用いて形成されることが好ましい。

[0060] 汎用的なガラスエポキシ基板や紙エポキシ基板などのプリント配線基板は、誘電率が高く比較的安価である。一方、低誘電率エポキシ基板やフッ素基板などのプリント配線基板は、誘電率が低く比較的高価である。また、プリント配線基板において電気信号の伝播速度は、誘電率が低くなると早くなる。従って、動作速度が速い部品が実装されるDTV用モジュール1は、誘電率が低い高性能なプリント配線基板を用い、動作速度が速い部品が実装されないマザーボード101は、誘電率が高く安価なプリント配線基板を用いる。DTVモジュール1とマザーボード101において、材質、性能の異なったプリント配線基板を使い分けることにより、性能の確保とコストダウンを両立させることができる。なお、本実施形態においては、なお、DTV用モジュール1に実装される動作速度の比較的速い部品は、図2に示すように、デコーダLSI2と、デコーダLSI2のためのワーキング用メモリ4のようなクロック周波数が100MHz以上のLSIやメモリを主として含む。一方、マザーボード101に実装される動作速度の比較的遅い部品は、図5に示すように、フロントエンド回路102やCAモジュールのようなクロック周波数が100MHzを超えない回路などを主として含む。

[0061] また、DTV用モジュール1の半田ボール9に対応したランドを備えたマザーボード101を各国や各地域、各市場毎に用意することで、DTV用モジュール1と接続して、各国や各地域、各市場向けのテレビジョン受信機を製品化することができる。なお、本実施形態においては、DTV用モジュール1とマザーボード101の接続方法として、半田ボール9とランドを用いてリフロー工程による方法を用いているが、本発明はこれに限らず、これらが物理的に連結されかつ電氣的に接続されていれば、コネクタやケーブルによる接続方法などを用いてもよい。

[0062] 図5は、図1のDTV用モジュール1及びマザーボード101を含むシステムの構成を示すブロック図である。DTV用モジュール1のシステム構成を、図5を参照して以下

に説明する。

- [0063] 図5において、マザーボード101には、アンテナ12Aに接続されるチューナ(図示せず。)と復調器12とを含むフロントエンド回路102と、PCカードソケット13と、ICカードソケット23と、AV出力回路106が実装される。ここで、マザーボード101において、PCカードソケット13と、ICカードソケット23とはいずれか一方のみの実装でもよい。また、DTV用モジュール1には、デコーダ18とCPU19とを備えたデコーダLSI2と、CAインターフェース回路3と、複数のメモリ4と、VCXO5と、ROM6と、ICカードインターフェース22とが実装される。ここで、VCXO5及びメモリ4はデコーダLSI2に接続され、また、CPU19と、CAインターフェース回路3と、ROM6と、ICカードインターフェース22とはバス19Bを介して接続されている。
- [0064] マザーボード101のフロントエンド回路102は、アンテナ12Aに接続されたチューナ(図示せず。)と、復調器12とを備えて構成される。フロントエンド回路102のチューナはアンテナ12Aを介してデジタルテレビジョン放送波を受信して所定の中間周波信号に周波数変換し、復調器12は上記周波数変換された中間周波信号をMPEG-2\_\_TS信号に復調してDTV用モジュール1内のCAインターフェース回路3に出力する。DTV用モジュール1では、MPEG-2\_\_TS信号とのインターフェースを物理的及び電氣的に接続して動作することを保証することにより、復調器12は、それぞれQAM方式をそれぞれ用いたDVB-T方式及びISDB-T方式に準拠した復調器と、VSB方式を用いたATSC方式に準拠した復調器のいずれであっても、CAインターフェース回路3に直接的に接続できる。
- [0065] 図2におけるソケット105は、PCカードソケット13と、ICカードソケット23とを含む。PCカードソケット13はCAモジュール14を挿入するソケットである。DVB-T方式におけるCIカードと、オープンケーブルにおけるケーブルカードはいずれもPCカードと同じ物理的仕様を持つため(電氣的にはそれぞれ異なる仕様を有する)、同じPCカードソケット13に挿入して接続することができる。本実施形態に係るDTV用モジュール1では、それらのCAモジュール14との接続を物理的及び電氣的にも後述するように保証することにより、CIカードとケーブルカードとのいずれであっても直接的に挿入して接続することができる。DTV用モジュール1は、アメリカや欧州におけるCAモジュ

ール14と接続して動作することを保証して製品化できる。

- [0066] CAインターフェース回路3の回路構成については詳細後述するが、CAインターフェース回路3は、その動作がCPU19により制御され、復調器12からのMPEG-2\_\_TS信号を入力してデスクランブラ処理後のデコーダ18に出力する回路と、CAモジュール14と電氣的に接続して動作することを保証するためのインターフェース回路とを備えて構成される。復調器12からのMPEG-2\_\_TS信号はPCカードソケット13を介してCAモジュール14に出力され、CAモジュール14によりデスクランブルされる。デスクランブル後のMPEG-2\_\_TS信号は、CAモジュール14からPCカードソケット13を介してデコーダLSI2内のデコーダ18に出力される。また、CAインターフェース回路3は、CAモジュール14内のレジスタや属性が書かれているメモリにアクセスするために、CPU19のバス19Bにも接続される。すなわち、CAインターフェース回路3は、CAモジュール14に、復調器12と、CAモジュール14と、デコーダ18と、CPU19との間で通信される複数の信号の入力及び出力処理を実行する。
- [0067] ICカードソケット23は、ICカード(図示せず。)を挿入するソケットである。ISDB-T方式のCAモジュール14は、ICカードと同じ物理的仕様及び電氣的仕様を持つため、ICカードソケット23に接続できる。ICカードインターフェース22はICカードソケット23とCPU19のバス19Bとの間に挿入され、ICカードソケット23に接続されたICカードとCPU19との間の信号に対して電氣的な入力及び出力のインターフェース処理を実行する。なお、ICカードの端子数は8である。DTV用モジュール1は、日本におけるCAモジュール14とも接続して動作することを保証して、DTV用モジュール1を製品化できる。
- [0068] デコーダLSI2は、ハードウェアエンジンであるデコーダ18とCPU19とを備えて構成され、MPEG-2\_\_TS信号を入力して、MPEG-2\_\_TS信号を映像信号及び音声信号を復号化して出力するデコード処理を行う。デコーダLSI2は、DVB-T方式、ATSC、ISDB-Tなどの方式におけるMPEG-2仕様の差分、将来規格化されるH. 264などに適応させてMPEG-2\_\_TS信号を復号化できる。復号化された映像信号と音声信号はAV出力回路106を介して外部装置に出力される。
- [0069] 複数のメモリ4はデコーダLSI2内のCPU19及びデコーダ18と接続され、CPU19

の2次キャッシュメモリやその他のアプリケーション用ワーキングメモリとして使用されるとともに、デコーダ18の符号化処理時のワーキングメモリとして使用される。また、VCXO5は、デコーダ18が使用する27MHzのMPEG-2システムクロックなどを発生してデコーダLSI2に出力する。さらに、ROM6は、CPU19が動作するためのプログラムコードやデータを記憶しており、それらをCPU19から読み出せるようにCPU19のバス19Bに接続されている。

[0070] 以上のように構成されたDTV用モジュール1は、単体でDVB-T方式、ISDB-T方式、ATSC方式、及びオープンケーブル方式における復調器12、及びCAモジュール14と物理的及び電氣的に接続して動作することを保証できるとともに、DVB-T方式、ISDB-T方式、ATSC方式及びオープンケーブル方式などの方式における圧縮された映像信号及び音声信号を復号化して出力できる。

[0071] 図6は図1のDTV用モジュール1に形成されたCAインターフェース回路3の構成を示す回路図である。また、図7は図6のCPU19から各バッファ33乃至43に供給されるイネーブル制御信号D, E, F, H, J, Kのオン/オフ状態のテーブルを示す図である。さらに、図8は図6の各バッファ33乃至43及びPCカードに供給される電源電圧のテーブルを示す図である。

[0072] 図6における各バッファ33乃至43のシンボルの記載について説明する。各バッファ33乃至43のシンボルは、1つ以上のバッファが並列に接続された回路を示している。並列に接続されるバッファの数は、図6の信号線に信号線数を書き加えて示している。また、各バッファ33乃至43の三角形において、三角形の最も小さい鋭角を有する頂点が出力側を示し、その頂点に対向する辺が入力側を示し、当該三角形の水平方向の向きがその信号の進行方向を示している。各バッファ33乃至43の三角形を含む矩形の上辺に電源線が接続される一方、上記矩形の下辺に、各バッファ33乃至43の出力をオン/オフ制御するための、CPU19からのイネーブル制御信号の信号線が接続される。

[0073] 各バッファ33乃至43の電源線のうち、バッファ33, 34, 35, 36, 40, 42, 43の電源線は◇で示された電源端子32を介して3.3Vの電源端子31Aに接続される一方、PCカードソケット13に接続されているバッファ37, 38, 39, 40, 41の電源線は電

源電圧切替スイッチ31の出力端子に接続される。また、デコーダLSI2には、電源端子31Aからの3.3Vの電源電圧が供給されている。3.3Vの電源端子31Aは電源電圧切替スイッチ31の接点a側に接続され、5Vの電源端子31Bは電源電圧切替スイッチ31の接点b側に接続される。電源電圧切替スイッチ31の切り替えはCPU19の汎用IOであるIO[15]信号により制御され、初期状態において電源電圧切替スイッチ31は接点a側に切り替えられ、電源電圧切替スイッチ31が接点a側に切り替えられたとき、3.3Vの電源電圧が各バッファ37, 38, 39, 40, 41に供給される一方、電源電圧切替スイッチ31が接点b側に切り替えられたとき、5Vの電源電圧が各バッファ37, 38, 39, 40, 41に供給される。なお、電源端子31A, 31BはDTV用モジュール1の半田ボール9及びマザーボード101を介して電源ユニット103に接続される。CPU19は、詳細後述するように、PCカードソケットに接続されるCAモジュール14又はマザーボード101からの設定情報に応じて適切な電源電圧を、バッファ37, 38, 39, 40, 41に出力するよう制御する。

[0074] 各バッファ33乃至43のイネーブル制御信号D, E, F, H, J, Kにおいて、イネーブル制御信号がオンであるとき、各バッファ33乃至43に入力される入力信号がそのまま出力される一方、イネーブル制御信号がオフであるとき、各バッファ33乃至43に入力される入力信号を出力せずにその出力端子がハイインピーダンス状態にされる。すなわち、各バッファ33乃至43の出力信号は、イネーブル制御信号D, E, F, H, J, Kによりオン／オフされる（以下、各バッファ33乃至43はオン／オフされるという。）各イネーブル制御信号は、CPU19の汎用IOポートを介してCPU19から出力される。ここで、汎用IOポートの端子名を、図6では、IO\_\_以下のビット番号で示している。すなわち、本明細書及び図面において、例えば、IO\_\_[13:6]はIOポートのビット6からビット13までの信号ビットを示している。

[0075] 図6におけるPCカードソケット13の端子との接続については、物理的な接続を明確にするために、非特許文献4に規定されている16ビットPCカードの入出力及びメモリカードのピン割り当ての端子名を使用して説明する。

[0076] バッファ42は3回路からなるバッファであり、その入力端子には、オープンケーブル方式に準拠した復調器12からの制御信号であるDRX、CRX、CTX信号が入力され

、その出力端子は、バッファ37の出力端子と、PCカードソケット13のアドレスA[9, 8, 4]端子に接続される。バッファ42は、CPU19から出力されるイネーブル制御信号Hによりそのオン／オフが制御される。また、バッファ42には、3. 3Vの電源電圧が供給される。なお、オープンケーブル方式に準拠した復調器の詳細については、非特許文献4に記載されている。

[0077] バッファ43は3回路からなるバッファであり、その入力端子はPCカードソケット13のA[7, 6, 5]端子と、バッファ37の出力端子とに接続され、その出力端子からオープンケーブル方式に準拠した復調器12への制御信号であるQTX、ETX、ITX信号が出力される。バッファ43は、CPU19から出力されるイネーブル制御信号Hによりそのオン／オフが制御される。また、バッファ43には、3. 3Vの電源電圧が供給される。なお、もし復調器12がオープンケーブル方式に準拠していないときはバッファ42及びバッファ43はともにオフされる。

[0078] バッファ33は6回路からなるバッファであり、その入力端子はPCカードソケット13からの制御信号端子であるWAIT #、CD1 #、CD2 #、IREQ #、VS1 #、VS2 #端子に接続され、その出力端子はCPU19の汎用IOポートであるIO\_\_[5:0]と接続される。なお、信号名称の最後に付与される#はローアクティブ信号を示す。バッファ33は、CPU19から出力されるイネーブル制御信号Kによりそのオン／オフが制御される。また、バッファ33には、3. 3Vの電源電圧が供給される。

[0079] バッファ34は1回路のバッファであり、その入力端子はPCカードソケット13のVS2 #端子に接続され、その出力端子からの出力信号は、MPEG-2\_TS信号中のクロック入力信号であるTS1\_\_CLK信号としてデコーダ18に出力される。バッファ34は、CPU19から出力されるイネーブル制御信号Dによりそのオン／オフが制御される。また、バッファ34には、3. 3Vの電源電圧が供給される。

[0080] バッファ35は1回路のバッファであり、その入力端子はPCカードソケット13のA[14]端子に接続され、その出力端子からの出力信号は、MPEG-2\_TS信号中のクロック入力信号であるTS1\_\_CLKとしてデコーダ18に出力される。バッファ35は、CPU19から出力されるイネーブル制御信号Eによりそのオン／オフが制御される。また、バッファ35には、3. 3Vの電源電圧が供給される。



- [0081] バッファ36は10回路からなるバッファであり、バッファ36の10回路のうちの8回路の入力端子は、PCカードソケット13のデータD[15:8]端子に接続され、その出力端子はデコーダ18におけるMPEG-2\_\_TS信号中のデータ入力信号であるTS1\_\_DATA[7:0]に接続される。また、バッファ36の10回路のうちの2回路の入力端子は、PCカードソケット13のSPKR#及びSTSCHG#端子に接続され、その出力端子からの出力信号はMPEG-2\_\_TS信号中の有効信号及び同期信号であるTS1\_\_VALID信号、TS1\_\_SYNC信号としてデコーダ18に出力される。バッファ36は、CPU19から出力されるイネーブル制御信号Kによりそのオン／オフが制御される。また、バッファ36には、3.3Vの電源電圧が供給される。
- [0082] バッファ37は6回路からなるバッファであり、その入力端子には、CPU19から出力されるアドレス信号であるA[10:5]信号が入力され、その出力端子はPCカードソケット13のアドレスA[9:4]端子と、バッファ42の3ビットの出力端子と、バッファ43の3ビットの入力端子とに接続される。バッファ37は、CPU19から出力されるイネーブル制御信号Fによりそのオン／オフが制御される。また、バッファ37には、電源電圧切替スイッチ31から出力される電源電圧が供給される。
- [0083] バッファ38は8回路からなるバッファであり、その入力端子には、CPU19から出力されるアドレス信号であるA[14:11]信号及びA[4:1]信号が入力され、その出力端子はPCカードソケット13のアドレスA[13:10]及びA[3:0]端子に接続される。バッファ38は、CPU19から出力されるイネーブル制御信号Jによりそのオン／オフが制御される。また、バッファ38には、電源電圧切替スイッチ31から出力される電源電圧が供給される。
- [0084] バッファ39は1回路のバッファであり、その入力端子にはCPU19から出力されるアドレス信号であるA[15]信号が入力され、その出力端子はPCカードソケット13のアドレスA[14]と、バッファ35の1ビットの入力端子とに接続される。バッファ39は、CPU19から出力されるイネーブル制御信号Fによりそのオン／オフが制御される。また、バッファ39には、電源電圧切替スイッチ31から出力される電源電圧が供給される。
- [0085] 以上のアドレス信号の接続において、CPU19のアドレス信号がPCカードソケット13のアドレス信号に対して、1ビットだけ上位にシフトしているのは、CPU19からPCカ

ードソケット13に接続されたPCカードなどにアクセスする際にワードアクセスするシステム構成のためである。もしバイトアクセスする構成であれば、アドレス信号を上位にシフトさせずに接続する。

[0086] バッファ40は8回路のバッファであり、双方向バッファが並列に接続されて構成される。ここで、バッファ40は、(a)CPU19からPCカードソケット13への方向の緩衝処理を行うバッファ40Aと、(b)PCカードソケット13からCPU19への方向の緩衝処理を行うバッファ40Bとを含む。また、CPU19からの方向制御信号(図示せず。)により信号の方向が制御される。バッファ40の一方の入出力端子はPCカードソケット13のデータD[7:0]端子に接続され、バッファ40の他方の入出力端子はCPU19が入出力するデータ信号のデータD[7:0]端子と接続される。CPU19から出力されるイネーブル制御信号Jによりバッファ40の出力のオン/オフが制御される。さらに、バッファ40Aには電源電圧切替スイッチ31から出力される電源電圧が供給され、バッファ40Bには電源端子31Aからの3.3Vの電源電圧が供給される。

[0087] バッファ41は8回路のバッファであり、その入力端子にはCPU19の汎用IOポートからのIO[13:6]信号が入力され、その出力端子はPCカードソケット13のREG #、WE #、OE #、IOWR #、IORD #、CE1 #、CE2 #、RESET端子に接続される。バッファ41は、CPU19から出力されるイネーブル制御信号Jによりそのオン/オフが制御される。また、バッファ41には、電源電圧切替スイッチ31から出力される電源電圧が供給される。

[0088] 以上のように構成されたCAインターフェース回路3において、復調器12から出力されるMPEG-2\_\_TS信号は、PCカードソケット13を介して、一旦CAモジュール14に入力され、CAモジュール14によりデスクランブルされた後、デコーダ18に出力される。スクランブルされていないクリアチャンネルなどのMPEG-2\_\_TS信号は、CAモジュール14を経由せずにデコーダ18に出力してもよい。また、ISDB-T方式のように、CAモジュール14を用いずICカードを用いてデスクランブルする場合は、CAモジュール14を経由せずにデコーダ18に出力してもよい。経路の選択を可能とする信号の接続としては、復調器12から出力されるMPEG-2\_\_TS信号のうちの制御信号である有効信号、同期信号、クロック信号であるVALID、SYNC、CLK信号は、PC

カードソケット13のA[25:18]端子に出力されるとともに、MPEG-2\_\_TS信号中の制御信号である有効信号、同期信号、クロック信号であるTS0\_\_VALID、TS0\_\_SYNC、TS0\_\_CLKとしてデコーダ18に出力される。また、復調器12から出力されるMPEG-2\_\_TS信号のうちのデータ出力信号であるDATA[7:0]信号は、PCカードソケット13のA[17:15]端子に出力されるとともに、MPEG-2\_\_TS信号中のデータ入力信号であるTS0\_\_DATA[7:0]信号としてデコーダ18に出力される。ここで、CPU19は、スクランブルされていないクリアチャンネルであるか否かについては予め番組情報などから認識できるため、当該認識に応じてTS0信号系又はTS1信号系のいずれかの信号系を選択するようにデコーダ18を設定する。

[0089] さらに、図6において、PCカードソケット13の端子のうち、IOIS16#、INPACK#、VPP端子については、特に本発明に関係しないので説明を省略する。また、PCカードソケット13における電源端子Vccには、電源電圧切替スイッチ31から出力される電源電圧が供給される。また、PCカードソケット13におけるCD1#、CD2#、VS1#、VS2#端子には、電源端子Vccとの間にプルアップ抵抗が接続される。

[0090] なお、デコーダLSI2に接続される信号名称及び復調器12に接続されるVALID、SYNC、CLK、DATA[7:0]の信号名称については、説明のために一例を示しただけで、特に規格などで規定されている信号ではない。

[0091] 次いで、CPU19からの各バッファ33乃至43に出力されるイネーブル制御信号D、E、F、H、J、Kについて図7を参照して以下に説明する。図7は、PCカードソケット13に挿入されるCAモジュール14の種類や状態に対する各イネーブル制御信号D、E、F、H、J、Kの設定を示した表である。図7において、イネーブル制御信号D、E、F、H、J、Kによる各バッファ33乃至43のオン／オフの設定を示している。

[0092] 図7に示すように、CAモジュール14が未挿入の状態では、イネーブル制御信号Kが入力されるバッファ33がオンとされ、イネーブル制御信号K以外のイネーブル制御信号D、E、F、H、Jが入力されるバッファ34乃至43がオフとなるように制御される。この制御は、CAモジュール14が挿入されたときに、バッファ34乃至43がオンになっていることを避けるためである。CPU19は、CAモジュール14が挿入されているか否かを、バッファ33を介して、CD1#又はCD2#端子の信号レベルをモニターすること

で検出できる。CAモジュール14の挿入後に、CIカードであるか否か、もしくはケーブルカードであるか否かは、CAモジュール14内のメモリにカードの属性が書かれているために、CPU19はそれをバッファ40を介して読み出すことで、認識することができる。DTV用モジュール1は、CAモジュール14の属性を示す信号をマザーボード101から入力する。CPU19は挿入されているCAモジュール14を判別することにより、国や地域、市場を認識できる。

[0093] すなわち、CAモジュール14が未挿入の状態では、バッファ33, 36がオンされ、これにより、PCカードソケット13からの制御信号であるWAIT#, CD1#, CD2#, IREQ#, VS1#信号がバッファ33を介して入出力信号IO\_\_[5:0]としてCPU19に出力される。また、PCカードソケット13からのデータ信号及び制御信号の端子であるD[15:8], SPKR#, STSHG#信号端子はバッファ36を介してデコーダ18のTS1\_\_DATA[7:0], TS1\_\_VALID, TS1\_\_SYNC信号端子に接続される。これにより、CAモジュール14からのデータ信号及び制御信号がデコーダ18に伝送可能な状態になる。

[0094] CIカードがPCカードソケット13に挿入されている場合は、バッファ33, 34はオンとされ、バッファ35はオフとされる。このとき、デコーダ18のTS1\_\_CLK信号端子には、バッファ34を介してPCカードソケット13のVS2#端子が接続されてクロック信号が供給される。また、バッファ37はオンとされ、バッファ42はオフとされる。このとき、CPU19のCPU\_\_A[10:5]端子はバッファ37を介してPCカードソケット13のA[9:4]端子に接続される。また、バッファ39はオンとされ、このとき、CPU19のCPU\_\_A[15]端子はバッファ39を介してPCカードソケット13のA[14]端子に接続される。また、バッファ40がオンされるので、CPU19のCPU19からアドレス信号及びデータ信号がPCカードソケット13に出力される。

[0095] ケーブルカードがPCカードソケット13に挿入されている場合における、ケーブルカードの初期状態(メモリ状態ともいう。)においては、バッファ34及びバッファ35はオフとされ、デコーダ18のTS1\_\_CLK端子は、PCカードソケット13に接続されない。また、バッファ37はオンとされ、バッファ42はオフとされる。このとき、CPU19のCPU\_\_A[10:5]端子はバッファ37を介してPCカードソケット13のA[9:4]端子に接続され

る。また、バッファ39はオンとされ、このとき、CPU19のCPU\_\_A[15]端子はバッファ39を介してPCカードソケット13のA[14]に接続される。さらに、バッファ40はオンとされる。これにより、CPU19のCPU19からアドレス信号及びデータ信号がPCカードソケット13に出力される。

[0096] ケーブルカードがPCカードソケット13に挿入されている場合であって初期状態のときにCPU19がPCカードであるケーブルカードを、動作状態に変化させる公知の「パーソナリティ・チェンジ」の処理を実行したとき、ケーブルカードは動作状態となる。ケーブルカードのこの状態遷移については、非特許文献2において記載されている。ケーブルカードの動作状態においては、バッファ34はオフとされ、バッファ35はオンとされる。このとき、PCカードソケット13のA[14]端子は、バッファ35を介してCPU19のTS1\_\_CLK端子に接続されて、PCカードソケット13からのクロック信号がTS1\_\_CLKとしてデコーダ18に出力される。また、バッファ37, 39はオフとされ、このとき、CPU19のCPU\_\_A[15]端子はPCカードソケット13のA[14]端子に接続されず、また、CPU19のCPU\_\_A[10:5]端子はPCカードソケット13のA[9:4]端子に接続されない。さらに、バッファ42, 43はオンとされ、復調器12からの制御信号であるDRX、CRX、CTX信号は、バッファ42を介してPCカードソケット13のA[9, 8, 4]端子に出力される。また、PCカードソケット13のA[7:3]端子からの制御信号であるQTX, ETX, ITX信号はバッファ43を介して復調器12に出力される。

[0097] 次いで、CPU19によって実行される、各バッファ37乃至41に供給される電源電圧の制御及びPCカードソケット13の電源端子Vccに供給される電源電圧の制御について図8を用いて説明する。図8はPCカードソケット13に挿入されるCAモジュール14の種類や状態に対する電源電圧切替スイッチ31の設定を示した表である。図8において電源電圧切替スイッチ31から各バッファ37乃至41及びPCカードソケット13の電源端子Vccに出力する電源電圧を示している。

[0098] 図8に示すように、CAモジュール14がPCカードソケット13に未挿入の状態では、3.3Vの電源電圧が供給される。また、CIカードがPCカードソケット13に挿入されている場合は、5Vの電源電圧が供給される。さらに、ケーブルカードがPCカードソケット13に挿入されている場合は、3.3Vの電源電圧が供給される。

- [0099] 図9は図6のCPU19によって、実行されるCAモジュール挿入検出処理を示すフローチャートである。
- [0100] 図9において、まず、ステップS1において電源電圧切替スイッチ31を接点a側に切り替えることにより、バッファ37乃至41及びPCカードソケット13の電源端子Vccに3.3Vの電源電圧を出力する。次いで、ステップS2においてオフを指示するイネーブル制御信号D, E, F, H, Jをそれぞれバッファ34, 35, (37, 39), (42, 43), (38, 40, 41)に出力し、オンを指示するイネーブル制御信号Kをバッファ(33, 36)に出力する。そして、ステップS3においてPCカードソケット13のCD1 # 端子又はCD2 # 端子にローレベル信号を検出したか否かが判断され、YESとなるまで、ステップS3の処理を繰り返し、YESとなったとき、ステップS4においてCAモジュール14の挿入を認識し、PCカードソケット13のVS1 # 端子の信号レベルを読み出し、ステップS5においてPCカードソケット13のVS1 # 端子にローレベル信号を検出したか否かが判断され、YESのときはステップS8に進む一方、NOのときはステップS6に進む。
- [0101] ステップS6において、CIカードの挿入状態を認識し、電源電圧切替スイッチ31を接点b側に切り替えることにより、バッファ37乃至41及びPCカードソケット13の電源端子Vccに5Vの電源電圧を出力する。さらに、ステップS7において、オンを指示するイネーブル制御信号D, F, Jをそれぞれバッファ34, (37, 39), (38, 40, 41)に出力し、当該処理を終了する。
- [0102] ステップS8において、ケーブルカードは初期状態であると認識し、ステップS9において、オンを指示するイネーブル制御信号F, Jをそれぞれバッファ(37, 39), (38, 40, 41)に出力する。次いで、ステップS10において、ケーブルカードを初期状態から動作状態に変化させる「パーソナリティ・チェンジ」の処理を実行する。そして、ステップS11において、ケーブルカードは動作状態であると認識し、オフを指示するイネーブル制御信号Fをバッファ(37, 39)に出力し、オンを指示するイネーブル制御信号E, Hをそれぞれバッファ35, (42, 43)に出力し、当該処理を終了する。
- [0103] 以上のCAモジュール挿入検出処理を実行することにより、PCカードソケット13に挿入されたCAモジュール14の種類を検出でき、適切なイネーブル制御信号D, E, F, H, J, Kを設定しかつ電源電圧を設定できる。なお、PCカードソケット13のCD1

#、CD2#、VS1#端子の仕様については、非特許文献4において記載されている。

- [0104] 以上説明したように、本実施形態に係るCAインターフェース回路3におけるシステム構成及びバッファ制御によれば、PCカードソケット13に、CIカード又はケーブルカードが挿入され又は挿入されていない場合において、デコーダLSI2とPCカードソケット13間の接続及び接続における電源電圧レベルを適切に設定することができる。
- [0105] 以上説明したように、本実施形態に係るCAインターフェース回路3を備えたDTV用モジュール1によれば、DTV用モジュール1を各国や各地域のフロントエンド回路102及び各市場のCAモジュール14の電氣的仕様に適合させることができるため、各国や各地域のフロントエンド回路102及び各市場のCAモジュール14を直接的に接続でき、それらと接続して動作することを保証して、かつ従来技術に比較して低コストであって小型・軽量で製品化することができる。従って、デジタルテレビジョン受信機のメーカーは、本実施形態に係るDTV用モジュール1を用いれば、各国や各地域毎のフロントエンド回路102のモジュールと各市場のCAモジュール14のPCカードソケット13を実装したマザーボード101を設計することで、各国や各地域、各市場向けのデジタルテレビジョン受信機を容易に、かつ従来技術に比較して低コストでかつ小型・軽量で製品化できる。
- [0106] 第2の実施形態。
- 図10は、本発明の第2の実施形態に係るテレビジョン受像機の構成を示す一部分解背面図である。第2の実施形態において、図2乃至図4を参照して説明したDTV用モジュール1と、図6を参照して説明したCAインターフェース回路3の構成については、第1の実施形態と同様であるので、その説明を省略する。また、新たな図を用いての説明においても、第1の実施形態と同様な部分の説明を省略する。
- [0107] 第2の実施形態に係るテレビジョン受像機は、第1の実施形態に係るDTV用モジュール1を実装するとともに、例えば液晶ディスプレイ又はプラズマディスプレイなどのディスプレイ204Dを搭載したことを特徴としている。なお、図10は背面図であって、図10の裏側であるおもて面にディスプレイ204Dが搭載される。
- [0108] 図10において、DTV用モジュール1は、各国や各地域毎のフロントエンド回路202

と、各市場毎のCAモジュール14を接続するためのソケット205と、デジタル音声信号又はアナログ音声信号とデジタル映像信号を出力するディスプレイインターフェース206とが実装されたマザーボード201に実装される。ディスプレイインターフェース206は、DTV用モジュール1から出力される映像信号及び音声信号を、例えば、液晶ディスプレイ、PDPディスプレイ、CRTディスプレイなどの、接続されるディスプレイに接続するためのインターフェースであり、ディスプレイ側の接続仕様に応じて異なる回路で実現される。なお、音声信号はディスプレイ内又はディスプレイ外に設けられたスピーカに出力される。マザーボード201には、複数の半田ボール9の配置に対応した複数のランドが形成され、マザーボード201とDTV用モジュール1は、リフロー工程により物理的にかつ電氣的に接続される。DTV用モジュール1が接続されたマザーボード201は、支持台207により支持されるテレビジョン受像機204の筐体に、電源ユニット203と、ディスプレイ駆動ユニット208とともに組み込まれる。なお、ディスプレイインターフェース206は、ディスプレイ駆動回路208を介してディスプレイ204Dに接続される。

[0109] DTV用モジュール1は第1の実施形態に係るDTV用モジュール1と同一のモジュールで実現できる。従って、同じ国や地域及び市場向けであっても、例えば、液晶テレビジョン受像機、プラズマテレビジョン受像機、CRTテレビジョン受像機などの、ディスプレイデバイスが異なるテレビジョン受像機やセットトップボックスなどを製品化するときに、DTV用モジュール1に対応したランドを備えたマザーボード201をディスプレイデバイス毎に用意することで、DTV用モジュール1と接続して、各ディスプレイデバイスを備えたテレビジョン受像機を製品化することができる。同様に各国や各地域、各市場毎に、各ディスプレイデバイスを備えたテレビジョン受像機を製品化することができる。

[0110] なお、本実施形態においては、DTV用モジュール1とマザーボード201との間の接続方法として、半田ボールとランドを用いてリフロー工程による接続方法を用いているが、本発明はこれに限らず、DTV用モジュール1とマザーボード201とが物理的にかつ電氣的に接続されていれば、コネクタやケーブルによる接続方法を用いてもよい。

[0111] 図11は、図10のDTV用モジュール1及びマザーボード201を含むシステムの構成



を示すブロック図である。以下、図11のシステム構成について、図5のシステム構成との相違点について以下に説明する。

- [0112] 図11において、マザーボード201は、アンテナ12Aに接続されたチューナ(図示せず。)と復調器12とを含むフロントエンド回路202と、CAモジュール14が挿入されるPCカードソケット13と、ICカードソケット23と、ディスプレイインターフェース206とを備えて構成される。ここで、PCカードソケット13と、ICカードソケット23とはどちらか一方のみを実装してもよい。なお、フロントエンド回路202は、フロントエンド回路102と同様に構成される。
- [0113] CPU19に入力される制御電圧V1, V2の各信号線24, 25はそれぞれ、プルアップ抵抗Rp1, Rp2を介して3.3Vの電圧源の電源端子Vccに接続されてプルアップされ、DTV用モジュール1の裏面の半田ボール9を介してマザーボード201に接続される。マザーボード201側は、接地導体(GND)に接続するか未接続(NC)にするかにより、制御電圧V1, V2をそれぞれローレベルである0(電圧0Vに対応する)又はハイレベルである1(電圧3.3Vに対応する)に設定することができる。図11の例では、制御電圧V1は1に設定され、制御電圧V2は0に設定されている。マザーボード201は、2つの制御電圧V1, V2のレベルの組み合わせにより、CPU19において4つの動作モードを設定できる。すなわち、CPU19は、マザーボード201の種類を識別するための種別データ信号として、2つの制御電圧V1, V2を用いることができる。例えば、DVB-T方式を用いる欧州用マザーボード201と、ISDB-T方式を用いる日本用マザーボード201と、ATSC方式及びオープンケーブル方式を用いるアメリカ用マザーボード201と、DVB-T方式を用いる中国用マザーボード201とを区別して識別することができる。ここで、マザーボード201は、フロントエンド回路202の種類により変わることから、フロントエンド回路202が受信して出力するデジタルテレビジョン信号の方式に応じマザーボード201の種類は変わる。従って、CPU19は、2つの制御電圧V1, V2を用いることにより、マザーボードの種類と共に、デコーダ18が入力されるデジタルテレビジョン信号の放送方式を識別することができる。
- [0114] 図12は、図11の各制御電圧V1, V2の設定値のテーブルの一例を示す図である。図12において、日本用マザーボード201(ISDB-T方式に準拠して形成された)で

は、制御電圧V1は0に設定されかつ制御電圧V2は0に設定される。また、北米におけるATSC方式及びオープンケーブル用マザーボード201(ATSC方式及びオープンケーブル方式に準拠して形成された)では、制御電圧V1は1に設定されかつ制御電圧V2は0に設定される。さらに、欧州におけるDVB-T用マザーボード201(DVB-T方式に準拠して形成された)では、制御電圧V1は0に設定されかつ制御電圧V2は1に設定される。またさらに、制御電圧V1が1に設定されかつ制御電圧V2は1に設定されているときは、CPU19はマザーボード201が接続されていないと判断する。ここで、CPU19は、マザーボード201がDTV用モジュール1に実装されているとき、制御電圧V1、V2がそれぞれ1から変化することによりマザーボード201の種類の变化を認識し、次いで、CPU19は、制御電圧V1、V2を読み出し、そのレベルに応じて、デコーダLSI2の復号化方式と、CAインターフェース回路3のインターフェース処理の動作モードの設定を行う。

- [0115] 以上の実施形態においては、マザーボードの種類及び入力されるデジタルテレビジョン信号の放送方式を識別する種別データ信号として、2つの制御電圧V1、V2を用いているが、制御電圧の個数や識別するマザーボードの種類や数に制限は無く、例えば3個にして、さらに液晶ディスプレイ、プラズマディスプレイ、CRTディスプレイ、又はセットトップボックスのマザーボード201を識別するようにしてもよい。また、マザーボード201側は、マザーボードの種類及び入力されるデジタルテレビジョン信号の放送方式を検出する種別データを記憶するメモリを実装し、当該メモリとCPU19が接続された後、CPU19は、上記メモリから種別データを読み出すことによりマザーボード201の種類及び入力されるデジタルテレビジョン信号の放送方式を識別してもよい。また、マザーボード201の種類及び入力されるデジタルテレビジョン信号の放送方式を識別するための種別データは、マザーボード201上でなくてもよく、例えばマザーボード201と接続される図示しない基板内又はPCカードソケット13に接続されるCAモジュール14内のメモリ内に格納されてもよい。すなわち、マザーボード201及び入力されるデジタルテレビジョン信号の放送方式を識別するための種別データをDTV用モジュール1の外部装置に格納し、CPU19は、マザーボード201を接続することでその種別データを格納したメモリ等にアクセスして、マザーボード201及び入

力されるデジタルテレビジョン信号の放送方式の種類を識別する。

- [0116] 以上のように構成されたDTV用モジュール1は、単体でDVB-T方式、ISDB-T方式、ATSC方式、及びオープンケーブル方式における復調器12及びCAモジュール14と物理的及び電氣的に接続して動作を保証できるとともに、DVB-T方式、ISDB-T方式、ATSC方式、及びオープンケーブル方式などの方式における圧縮された映像信号及び音声信号を復号化できる。また、液晶ディスプレイ、プラズマディスプレイ、CRTディスプレイ及びセットトップボックスのマザーボードとも接続して各ディスプレイデバイスのテレビジョン受像機を製品化することができる。従って、デジタルテレビジョン受信機のメーカーは、本実施形態に係るDTV用モジュール1を用いれば、各国や各地域毎のフロントエンド回路202のモジュールと各市場のCAモジュール14用のPCカードソケット13あるいはICカードソケット23と各ディスプレイデバイス毎のインターフェース201を実装したマザーボード201を設計することで、各国や各地域、各市場向けの各ディスプレイデバイスを備えたデジタルテレビジョン受信機を容易に、かつ従来技術に比較して低コストでかつ小型・軽量で製品化できる。
- [0117] 図13は、図6のCAインターフェース回路3を用いたときの図11のシステムにおいて、CPU19から各バッファ33乃至43に供給されるイネーブル制御信号D, E, F, H, J, Kのオン/オフ状態のテーブルを示す図である。図13では、DTV用モジュール1に接続されるマザーボード201の種類及びPCカードソケット13に挿入されるCAモジュール14の種類や状態に対する各イネーブル制御信号D, E, F, H, J, Kの設定を示す。図13においてイネーブル制御信号D, E, F, H, J, Kによるバッファ33乃至43のオン/オフの設定を示している。
- [0118] 図13において、ISDB-T方式を用いる日本用マザーボード201がDTV用モジュール1に接続されているとき(第1の実施形態におけるCAモジュール14が未挿入のときに対応する)、イネーブル制御信号K以外のイネーブル制御信号D, E, F, H, Jが印加されるバッファ34乃至43はオフとなるように制御される。この制御は、ISDB-T方式に準拠したCAモジュール14はPCカードソケット13には挿入されず、ICカードソケット23に挿入されるためである。もし別の市場向けのCAモジュール14がPCカードソケット13に挿入されたときにバッファの出力がオンになっていることを避けるた

めでもある。CPU19は、CAモジュール14が挿入されているか否かを、バッファ33を介して、CD1#端子又はCD2#端子の信号レベルをモニターすることで検出できる。CAモジュール14の挿入後にCIカードであるか否か、又はケーブルカードであるか否かは、CAモジュール14内のメモリにカードの属性が書かれているために、CPU19はそれをバッファ40を介して読み出すことで、認識することができる。DTV用モジュール1は、CAモジュール14の属性を示す信号をマザーボード201から受信する。これにより、CPU19は挿入されているCAモジュール14の種類を判別することもできる。

- [0119] 本実施形態においても、図6のCAインターフェース回路3を用いるので、図6を参照して、各方式のマザーボード201を用いるときの具体例について以下に説明する。
- [0120] DVB-T方式を用いる欧州用マザーボード201がDTV用モジュール1に接続されているとき(第1の実施形態におけるCIカードが挿入されているときに対応する)、バッファ33、34はオンとされ、バッファ35はオフとされる。このとき、デコーダ18のTS1\_\_CLK信号端子には、バッファ34を介してPCカードソケット13のVS2#端子が接続されてクロック信号が供給される。また、バッファ37はオンとされ、バッファ42はオフとされる。このとき、CPU19のCPU\_\_A[10:5]端子はバッファ37を介してPCカードソケット13のA[9:4]端子に接続される。また、バッファ39はオンとされ、このとき、CPU19のCPU\_\_A[15]端子はバッファ39を介してPCカードソケット13のA[14]端子に接続される。また、バッファ40がオンされるので、CPU19のCPU19からアドレス信号及びデータ信号がPCカードソケット13に出力される。
- [0121] また、ATSC方式及びオープンケーブル方式を用いるアメリカ用マザーボード201がDTV用モジュール1に接続され、ケーブルカードがPCカードソケット13に挿入されているときに、ケーブルカードの初期状態であるメモリ状態においては、バッファ34及びバッファ35はオフとされ、デコーダ18のTS1\_\_CLK端子は、PCカードソケット13に接続されない。また、バッファ37はオンとされ、バッファ42はオフとされる。このとき、CPU19のCPU\_\_A[10:5]端子はバッファ37を介してPCカードソケット13のA[9:4]端子に接続される。また、バッファ39はオンとされ、このとき、CPU19のCPU\_\_A[15]端子はバッファ39を介してPCカードソケット13のA[14]に接続される。さらに

、バッファ40はオンとされる。これにより、CPU19のCPU19からアドレス信号及びデータ信号がPCカードソケット13に出力される。

[0122] さらに、ケーブルカードがPCカードソケット13に挿入されているときに、ケーブルカードが動作状態に変化されたいわゆるケーブルカード状態においては、バッファ34はオフとされ、バッファ35はオンとされる。このとき、PCカードソケット13のA[14]端子は、バッファ35を介してCPU19のTS1\_CLK端子に接続されて、PCカードソケット13からのクロック信号がTS1\_CLKとしてデコーダ18に出力される。また、バッファ37, 39はオフとされ、このとき、CPU19のCPU\_A[15]端子はPCカードソケット13のA[14]端子に接続されず、また、CPU19のCPU\_A[10:5]端子はPCカードソケット13のA[9:4]端子に接続されない。さらに、バッファ42, 43はオンとされ、復調器12からの制御信号であるDRX, CRX, CTX信号は、バッファ42を介してPCカードソケット13のA[9, 8, 4]端子に出力される。また、PCカードソケット13のA[7:3]端子からの制御信号であるQTX, ETX, ITX信号はバッファ43を介して復調器12に出力される。

[0123] 次いで、CPU19によって実行される、各バッファ33乃至43に供給される電源制御及びPCカードソケット13の電源端子Vccに供給される電源制御について図14を用いて説明する。図14は図6のCAインターフェース回路3を用いたときの図11のシステムにおいて、図6の各バッファ33乃至43及びPCカードに供給される電源電圧のテーブルを示す。すなわち、図14では、DTV用モジュール1に接続されるマザーボード201の種類及びPCカードソケット13に挿入されるCAモジュール14の種類や状態に対する電源電圧切替スイッチ31の設定を示す。なお、図14において電源電圧切替スイッチ31から出力される電源電圧を示している。

[0124] 図14において、ISDB-T方式を用いる日本用マザーボード201がDTV用モジュール1に接続されるとき、又はCAモジュール14が未挿入のとき、3.3Vの電源電圧が供給される。また、DVB-T方式を用いる欧州用マザーボード201がDTV用モジュール1に接続されているとき、5Vの電源電圧が供給される。ATSC方式及びオープンケーブル方式を用いるアメリカ用マザーボード201がDTV用モジュール1に接続され、ケーブルカードがPCカードソケット13に挿入されているときに、3.3Vの電

源電圧が供給される。

[0125] 以上のように構成された、第3の実施形態に係るCAインターフェース回路3におけるシステム構成及びバッファ制御は、PCカードソケット13にCIカード又はケーブルカードが挿入され又は挿入されていないときに、デコーダLSI2とPCカードソケット13との間の電氣的仕様、例えば接続及び接続における電圧レベルを適切に設定できる。また、ISDB-T方式を用いる日本用マザーボード201と、DVB-T方式を用いる欧州用マザーボード201と、ATSC方式及びオープンケーブル方式を用いるアメリカ用マザーボード201のうちのいずれかのマザーボード201がDTV用モジュール1に接続されている場合でも、デコーダLSI2とPCカードソケット13との間の電氣的仕様、例えば接続及び接続における電圧レベルを適切に設定できる。また、第3の実施形態においては、ユーザーのデジタルテレビジョン受信機の使用方法を、PCカードソケット13にCIカード又はケーブルカードを挿入し又は抜くときは、予めデジタルテレビジョン受信機の電源を落として行うように限定することにより、CPU19の制御を簡易化可能である。具体的には、PCカードソケット13にCIカード又はケーブルカードが挿入され又は挿入されていないときの、デコーダLSI2とPCカードソケット13との間の電氣的仕様の設定制御を省略し、マザーボードの種類のみにより、デコーダLSI2とPCカードソケット13との間の電氣的仕様の設定制御を行うことが考えられる。これは、各国、地域毎に使用するCAモジュールは放送方式により規定され決まっていることにより可能である。

[0126] さらに、CPU19によるデコーダ18の制御について以下に説明する。ISDB-T方式を用いる日本用マザーボード201がDTV用モジュール1に接続されているときに、復調器12から入力されるMPEG-2\_\_TS信号に対して、ISDB-T方式に準拠した復号化方法を用いて復号化処理を実行することにより、映像信号及び音声信号に変換する。また、DVB-T方式を用いた欧州用マザーボード201がDTV用モジュール1に接続されているときに、復調器12から入力されるMPEG-2\_\_TS信号に対して、DVB-T方式に準拠した復号化方法を用いて復号化処理を実行することにより、映像信号及び音声信号に変換する。さらに、ATSC方式及びオープンケーブル方式を用いるアメリカ用マザーボード201がDTV用モジュール1に接続されているときに、復

調器12から入力されるMPEG-2\_TS信号に対してATSC方式に準拠した復号化方法を用いて復号化処理を実行することにより、映像信号及び音声信号に変換する。

[0127] 第3の実施形態.

図15は本発明の第3の実施形態に係るDTV用モジュール1と、当該DTV用モジュール1に接続される各国用マザーボード201-1, 201-2, 201-3を含むシステムの構成を示すブロック図である。第3の実施形態は、第2の実施形態の変形例であり、第2の実施形態との相違点について以下に説明する。第3の実施形態に係るDTV用モジュール1は、3種類のマザーボード201-1, 201-2, 201-3のいずれか1つと接続可能であることを特徴としている。また、DTVモジュール1において、ICカードインターフェース22とCAインターフェース回路3とを、共通の接続端子T3に統合して接続していることを特徴としている。

[0128] 図15を参照して接続端子T3と、CAインターフェース回路3又はICカードインターフェース22との間の接続について以下に説明する。ICカードインターフェース22の接続端子側T3にバッファ22Bを設け、CAインターフェース回路3の接続端子T3側にバッファ3Bを設ける。ここで、CPU19の制御により当該バッファ3B, 22Bがオン／オフされる。各バッファ3B, 22Bの接続端子T3側は、接続端子T3に接続される。

[0129] CPU19は、図13を参照して説明したISDB-T方式を用いる日本用マザーボード201-1が接続されているときに、バッファ22Bをオンし、バッファ3Bをオフする。このとき、接続端子T3の電氣的仕様は、ICカードを使用する方式に準拠し、ICカードインターフェース22により決まるICカードの電氣的仕様となる。一方、CPU19は、CIカードを使用する欧州用マザーボード201-2又はケーブルカードを使用する北米用マザーボード201-3が接続されているときに、バッファ22Bをオフし、バッファ3Bをオンする。このとき、接続端子T3の電氣的仕様は、ケーブルカード又はCIカードを使用する方式に準拠し、CAインターフェース回路3により決まるケーブルカード又はCIカードの電氣的仕様となる。これにより、ICカードインターフェース22とCAインターフェース回路3は接続端子T3を兼用することになる。すなわち、マザーボード201-1がDTV用モジュール1に接続されたとき、ICカードソケット13-1とICカードインターフェ

ース22とが接続されてICカードインターフェース22が動作する一方、マザーボード201-2又は201-3がDTV用モジュール1に接続されたとき、CIカードソケット13-2又はケーブルカードソケット13-3がCAインターフェース回路3に接続されてCAインターフェース回路3が動作する。

[0130] さらに、本実施形態の特徴は、DTVモジュール1の接続端子T1乃至T5を用途別にグループ化して、各マザーボード201-1, 201-2, 201-3に対して共通な仕様を用いて接続していることである。接続端子T1乃至T5は、具体的には、以下のようにグループ化されている。

(a) デコーダ18から出力され、ディスプレイインターフェース206を介してディスプレイ駆動回路208に入力される映像信号及び音声信号の接続端子T1。

(b) マザーボード201-1, 201-2, 201-3の種類を識別するための種別データの情報を入力するための制御電圧V1, V2の接続端子T4, T5。

(c) 各国や各地域の各仕向け地用の復調器12-1, 12-2, 12-3に接続され、これら復調器12-1, 12-2, 12-3からCAインターフェース回路3に入力されるMPEG-2\_TS信号の接続端子T2。

(d) 各CAモジュール14に接続されるICカードソケット13-1, CIカードソケット13-2, ケーブルカードソケット13-3に接続されるソケットの入出力信号の接続端子T3。

[0131] ここで、接続端子T3は、上述のように、バッファ3B又はバッファ22Bを介して、CAインターフェース回路3又はICカードインターフェース22に接続される。

[0132] 図15において、日本用マザーボード201-1は、ディスプレイインターフェース206と、アンテナ12Aに接続されたチューナ(図示せず。)と日本用復調器12-1とを備えたフロントエンド回路202-1と、ICカードソケット13-1と、接地導体の電位をそれぞれ有する制御電圧V1, V2を出力する回路とを備えている。DTVモジュール1と日本用マザーボード201-1が接続された場合は、CPU19は制御電圧V1, V2を読み取り、日本用マザーボード201-1が接続されていると認識し、また、ISDB-T方式のデジタルテレビジョン信号が入力されていると認識し、日本用復調器12-1から接続端子T2を介して入力されるMPEG-2\_TS信号に対して、ISDB-T方式に準拠した映像信号及び音声信号の復号化処理を行うようにデコーダ18を設定する。また、CP



U19は、上述のように、ICカードソケット13-1を、接続端子T3及びバッファ22Bを介してICカードインターフェース22に接続させる。このとき、ディスプレイインターフェース206は、DTV用モジュール1のデコーダ18から出力される映像信号及び音声信号を、接続端子T1を介して受信して、所定のインターフェース処理をした後、ディスプレイ駆動回路208を介してディスプレイ204Dに出力する。

[0133] また、欧州用マザーボード201-2は、ディスプレイインターフェース206と、アンテナ12Aに接続されたチューナ(図示せず。)と欧州用復調器12-2とを備えたフロントエンド回路202-2と、CIカードソケット13-2と、接地導体の電位を有する制御電圧V1及び未接続であってDTV用モジュール1側の電源電圧Vccを有する制御電圧V2を出力する回路とを備えている。DTVモジュール1と欧州用マザーボード201-2が接続された場合は、CPU19は制御電圧V1, V2を読み取り、欧州用マザーボード201-2が接続されていると認識し、また、DVB-T方式のデジタルテレビジョン信号が入力されていると認識し、欧州用復調器12-2から接続端子T2を介して入力されるMPEG-2\_TS信号に対して、DVB-T方式に準拠した映像信号及び音声信号の復号化処理を行うようにデコーダ18を設定する。また、CPU19は、上述のように、CIカードソケット13-2を、接続端子T3及びバッファ3Bを介してCAインターフェース回路3に接続させるとともにCAインターフェース回路3の動作モードをDVB-T方式に設定する。このとき、ディスプレイインターフェース206は、DTV用モジュール1のデコーダ18から出力される映像信号及び音声信号を、接続端子T1を介して受信して、所定のインターフェース処理をした後、ディスプレイ駆動回路208を介してディスプレイ204Dに出力する。

[0134] さらに、北米用マザーボード201-3は、ディスプレイインターフェース206と、アンテナ12Aに接続されたチューナ(図示せず。)と北米用復調器12-3とを備えたフロントエンド回路202-3と、ケーブルカード13-3と、未接続であってDTV用モジュール1側の電源電圧Vccを有する制御電圧V1及び接地導体の電位を有する制御電圧V2を出力する回路とを備えている。DTVモジュール1と北米用マザーボード201-3が接続された場合は、CPU19は制御電圧V1, V2を読み取り、北米用マザーボード201-3が接続されていると認識し、また、ATSC方式及びオープンケーブル方式のデ

デジタルテレビジョン信号が入力されていると認識し、北米用復調器12-3から接続端子T2を介して入力されるMPEG-2\_TS信号に対して、ATSC方式に準拠した映像信号及び音声信号の復号化処理を行うようにデコーダ18を設定する。また、CPU 19は、上述のように、ケーブルカードソケット13-3を、接続端子T3及びバッファ3Bを介してCAインターフェース回路3に接続させるとともにCAインターフェース回路3の動作モードをオープンケーブル方式に設定する。このとき、ディスプレイインターフェース206は、DTV用モジュール1のデコーダ18から出力される映像信号及び音声信号を、接続端子T1を介して受信して、所定のインターフェース処理をした後、ディスプレイ駆動回路208を介してディスプレイ204Dに出力する。

[0135] 図16、図17及び図18は、第3の実施形態に係るシステムにおいて、日本におけるISDB-T方式を用いるICカードと、欧州におけるDVB-T方式を用いるCIカードと、北米におけるオープンケーブル方式を用いるケーブルカードとを含むCAモジュール14の入出力信号及び端子のテーブルを示す図である。図16乃至図18から明らかなように、各方式のCAモジュールを、接続端子T3を用いてDTV用モジュール1に対して共通に接続できる。また、上記各方式に依存して、入出力信号及び端子が変化していることがわかる。

[0136] 図19は図15のディスプレイインターフェース206を介してディスプレイ駆動回路208に出力される映像信号及び音声信号及び端子のテーブルを示す図である。図19から明らかなように、各マザーボード201-1, 201-2, 201-3のディスプレイインターフェース206を、接続端子T1を用いてDTV用モジュール1に対して共通に接続できる。また、上記各方式に依存して、信号及び端子が変化していないことがわかる。

[0137] 図20は図15の各復調器12-1, 12-2, 12-3からのMPEG-2TS信号の各詳細信号及び端子のテーブルを示す図である。図20から明らかなように、各復調器12-1, 12-2, 12-3を、接続端子T2を用いてDTV用モジュール1に対して共通に接続できる。また、上記各方式に依存して、信号及び端子が変化していないことがわかる。

[0138] 以上説明したように、各CAモジュール14又はICカードにソケット13-1, 13-2, 13-3を介して接続される接続端子T3は、上述のように、マザーボード201-1, 201-

2, 201-3の種類、もしくは、CAモジュール14又はICカードに応じて、DTV用モジュール1側の電氣的仕様を変化することができるが、物理的な接続端子T3の構造は同一となっている。他の接続端子T1, T2, T4, T5の物理的な構造も各マザーボード201-1, 201-2, 201-3に対して同一である。従って、DTVモジュール1に対して、各国や各地域の各仕向け地別のマザーボード201-1, 201-2, 201-3を簡単に付け替えることができる。

[0139] 以上説明したように、本実施形態に係るCAインターフェース回路3を備えたDTV用モジュール1によれば、各国や各地域のフロントエンド回路202-1, 202-2, 202-3及び各市場のCAモジュール14であるICカード、CIカード又はケーブルカードを直接的に接続可能であり、それらと接続して動作を保証して、しかも従来技術に比較して低コストであって小型・軽量で製品化できる。従って、デジタルテレビジョン受信機のメーカーは、本実施形態に係るDTV用モジュール1を用いれば、各国や各地域毎のフロントエンド回路202-1, 202-2, 202-3と各市場のCAモジュール14のソケット13-1, 13-2, 13-3を実装したマザーボード201-1, 201-2, 201-3を設計することで、各国や各地域、各市場向けのデジタルテレビジョン受信機を容易に、しかも従来技術に比較して低価格で小型・軽量で製品化できる。また、デジタルテレビジョン受信機のメーカーは、本実施形態に係るDTV用モジュール1を用いれば、各国や各地域毎のフロントエンド回路202-1, 202-2, 202-3と各市場のCAモジュール14のソケット13-1, 13-2, 13-3と各ディスプレイ204Dのディスプレイインターフェース206とを実装したマザーボード201-1, 201-2, 201-3を設計することで、各国や各地域、各市場向け、各ディスプレイ204Dのデジタルテレビジョン受信機を容易に、しかも従来技術に比較して低価格で小型・軽量で製品化できる。

[0140] 図22は本発明の第3の実施形態の変形例に係る、DTV用モジュール1と、当該DTV用モジュール1に接続される各国用マザーボード201-1, 201-2, 201-3とを含むシステムの構成を示すブロック図である。第3の実施形態においては、各国用マザーボード201-1, 201-2, 201-3において、制御電圧V1, V2の各信号線24, 25を接地導体(GND)に接続するか未接続(NC)にするかにより、マザーマザーボード201-1, 201-2, 201-3の種類を設定する種別データ信号を用意しているが、本

発明はこれに限らず、図22に示すように、マザーボード201-1, 201-2, 201-3内に、制御電圧V1, V2の設定データを記憶する非揮発メモリであるEEPROM209-1, 209-2, 209-3を実装して、CPU19がEEPROM209-1, 209-2, 209-3から種別データを読み出すことにより、種別データ信号を発生させて、マザーボード201-1, 201-2, 201-3の種類を検出してもよい。また、第1の実施形態において説明した図9のCAモジュール挿入検出処理により、PCカードソケット13に挿入されたCAモジュール14の種類を検出できるので、当該検出結果に基づいて、各国用マザーボード201-1, 201-2, 201-3の種類を検出してもよい。ここで、CAモジュール14の種類の検出や符号化方式の検出は、第1の実施形態の方法と、第2の実施形態の方法と、第3の実施形態の方法と、第3の実施形態の変形例の方法とのうちの少なくとも一方を用いて実行してもよい。

[0141] 第4の実施形態.

図21は、本発明の第4の実施形態に係るDTV用モジュール1と、当該DTV用モジュール1に接続される各国用マザーボード201-1, 201-2, 201-3と、ネットワーク機能拡張ボード401と、CATVモデム機能拡張ボード411とを含むシステムの構成を示すブロック図である。第4の実施形態は、第3の実施形態の変形例であり、第3の実施形態に比較して、CPU19のバス19Bに接続された接続端子T6をさらに備え、当該接続端子T6に、ネットワーク機能拡張ボード401又はCATVモデム機能拡張ボード411を接続可能に構成したことを特徴としている。以下、当該相違点について詳細に説明する。

[0142] 図21において、CPU19は、そのバス19B及び接続端子T6を介して、ネットワーク機能拡張ボード401内の通信コントローラ404又はCATVモデム機能拡張ボード411のケーブルモデム412に接続され、CPU19はこれらのコントローラ404又は412とアドレス信号及びデータ信号などの信号を用いて通信を行う。なお、接続端子T6のバス19B側に例えばPCIバスを備えたブリッジ回路(図示せず。)を挿入し、PCIバスに、ネットワーク機能拡張ボード401又はCATVモデム機能拡張ボード411を接続してもよい。

[0143] ネットワーク機能拡張ボード401は、DTVモジュール1にネットワーク関連機能を拡

張する場合に接続するためのボードであり、通信コントローラ404と、イーサネットインターフェース402と、ハードディスクドライブ403とを備えている。DTVモジュール1をネットワーク機能拡張ボード401と組み合わせることにより、ネットワーク関連機能を実現できる。ネットワーク関連機能とは、例えば、ネットワーク機能拡張ボード401をインターネットなどのブロードバンドのネットワークに接続し、通信サーバよりコンテンツをダウンロードして視聴するビデオオンデマンドなどのサービスをうけるための機能である。

[0144] イーサネットインターフェース402はネットワークに接続され、通信パケットの送受信を行う。イーサネットインターフェース402は、通信コントローラ404の制御に基づいて、例えばコンテンツを構成する複数のパケットからなるコンテンツデータを受信した後、ハードディスクドライブ403に格納する。通信コントローラ404は、CPU19からの指示信号に基づいて、ハードディスクドライブ403に格納されたコンテンツデータを読み出して接続端子T6及びバス19Bを介してCAインターフェース回路3及びデコーダ18に出力し、その後、CPU19の制御により復号化及び表示処理が実行される。なお、コンテンツデータをハードディスクドライブ403に一時的に格納せずに、直接的にCPU19を介してメモリ4に出力して格納してもよい。

[0145] また、CATVモデム機能拡張ボード411はケーブルモデム412を備え、DTVモジュール1にCATVモデム機能を拡張する場合に接続するためのボードである。DTVモジュール1をCATVモデム機能拡張ボード411と組み合わせることにより、CATVモデム機能を実現できる。CATVモデム機能とは、例えば、CATVのヘッドエンドに接続されたサーバから、ゲームなどのアプリケーションソフトウェアをダウンロードする機能である。ケーブルモデム412は、CATVのヘッドエンドに接続され、通信パケットの送受信を行う。ケーブルモデム412は、CPU19の指示信号に基づいて、例えばアプリケーションソフトウェアを構成する複数のパケットからなるソフトウェアデータを受信した後、接続端子T6、バス19B、及びCPU19を介してメモリ4に出力して格納し、その後、当該ソフトウェアがCPU19により実行される。

[0146] 以上の実施形態においては、機能拡張用ボード401又は411をDTVモジュール1に接続しているが、本発明はこれに限らず、マザーボード201-1、201-2、201-3

を介して接続してもよい。すなわち、DTVモジュール1における機能拡張用ボード401又は411を接続するための接続端子は、一旦マザーボード201-1, 201-2, 201-3の接続端子に接続された後、機能拡張用ボード401又は411に接続される。

[0147] このようなネットワーク関連機能やCATVモデム機能は、より高機能を所望するユーザーに対して提供されるハイエンドなデジタルテレビジョン受信機に求められる場合が一般的である。DTVモジュール1に機能拡張用ボード401又は411を組み合わせる構成は、機能拡張しないローエンドのテレビジョン受信機から、機能拡張可能なハイエンドなテレビジョン受信機に容易に展開することができる。また、共通の接続端子T6を用いていずれかの機能拡張ボード401又は411を接続できるので、拡張する機能を容易に選択することができる。

[0148] なお、機能拡張により対応させるサービスについては、実施されている国や地域が予め分かっていることから、CPU19は、マザーボード201-1, 201-2, 201-3を識別するための所定の制御電圧を読み出して、仕向け地毎に機能拡張するかどうかを決定することができる。例えば、日本においてサービスが実施されている場合は、CPU19は、日本用マザーボード201-1がDTV用モジュール1に接続されていることを認識して機能拡張用ボードの接続を許可することができる。一方、日本以外においてサービスが実施されていない場合は、CPU19は、日本用マザーボード201-1がDTV用モジュール1に接続されていないと認識して機能拡張用ボードの接続を禁止することができる。

[0149] 以上説明したように、本実施形態に係るCAインターフェース回路3を備えたDTV用モジュール1によれば、第1乃至第3の実施形態と同様の作用効果を有するとともに、ネットワーク機能拡張ボード401を接続することによりネットワーク関連機能を備えることができるとともに、CATVモデム機能拡張ボード411を接続することによりCATVモデム機能を備えることができる。また、接続端子T6の物理的及び電氣的な構造は同一となっている。従って、DTVモジュール1に対して、機能拡張ボード401, 411のいずれか一方を簡単に付け替えることができる。従って、デジタルテレビジョン受信機のメーカーは、本実施形態に係るDTV用モジュール1を用いれば、各地域毎のフロントエンド回路202-1, 202-2, 202-3と各市場のCAモジュール14の各ソケット

ト13-1, 13-2, 13-3を実装したマザーボード201-1, 201-2, 201-3と機能拡張用ボード401, 411を設計することで、各地域、市場向けのローエンドからハイエンドまでのデジタルテレビジョン受信機を容易に、しかも従来技術に比較して低価格でかつ小型・軽量で製品化できる。

#### 産業上の利用可能性

[0150] 以上詳述したように、本発明に係るDTV用モジュールによれば、各国や各地域、各市場向け、各ディスプレイデバイスのデジタルテレビジョン受信機を容易に製品化することができ、量産効果によりコストダウンできる。また、デジタルテレビジョン受信機を小型・軽量化できるので、当該DTV用モジュール1を携帯型受信機や車載受信機などに適用することにより、デジタルテレビジョン受信機の普及に貢献できる。さらに、DTV用モジュールは、デジタルテレビジョン受信機、パーソナルパーソナルコンピュータ、携帯型端末装置、又はレコーダ装置などデジタルテレビジョン放送を受信するデジタルテレビジョン受信機等に対しても有用である。

## 請求の範囲

- [1] デジタルテレビジョン信号を受信するデジタルテレビジョン受信機のためのデジタルテレビジョン受信機用モジュールにおいて、
- 互いに異なる放送方式のデジタルテレビジョン信号を受信可能な外部基板のうちの1つの外部基板と電氣的に接続するための複数の端子を有する第1の接続手段と、
- 上記外部基板に設けられた復調器から上記第1の接続手段を介して入力されるデジタルテレビジョン信号に対して復号化処理を実行することにより映像信号及び音声信号に変換して上記第1の接続手段を介して出力する復号化手段と、
- 上記デジタルテレビジョン受信機用モジュールの動作を制御する制御手段と、
- 互いに異なる電氣的仕様を有する複数種類のコンディショナルアクセスモジュールのうちの1つのコンディショナルアクセスモジュールに上記第1の接続手段を介して接続され、かつ上記復調器、上記復号化手段及び上記制御手段に接続され、上記復調器と、上記コンディショナルアクセスモジュールと、上記復号化手段と、上記制御手段との間で通信される複数の信号の入力及び出力処理を実行するインターフェース手段とを備え、
- 上記制御手段は、当該入力されるデジタルテレビジョン信号の放送方式と当該接続されるコンディショナルアクセスモジュールの種類のうちの少なくとも一方に対応して、当該接続されるコンディショナルアクセスモジュールの電氣的仕様に適合するように、上記第1の接続手段を介して通信される信号の種類を切り換えることにより、上記インターフェース手段を制御することを特徴とするデジタルテレビジョン受信機用モジュール。
- [2] 上記インターフェース手段は、上記復調器から上記第1の接続手段を介して入力されるデジタルテレビジョン信号を、上記第1の接続手段を介して上記コンディショナルアクセスモジュールに出力するとともに、上記復号化手段に出力することを特徴とする請求項1記載のデジタルテレビジョン受信機用モジュール。
- [3] 上記インターフェース手段は、複数のバッファを備え、
- 上記制御手段は、上記各バッファのオン／オフを制御することにより、上記入力及



び出力処理を制御することを特徴とする請求項1又は2記載のデジタルテレビジョン受信機用モジュール。

- [4] 上記制御手段は、上記コンディショナルアクセスモジュールが上記第1の接続手段を介して接続されていないとき、上記コンディショナルアクセスモジュールからの検出信号を上記制御手段に出力するように上記インターフェース手段を制御することを特徴とする請求項1乃至3のうちのいずれか1つに記載のデジタルテレビジョン受信機用モジュール。
- [5] 上記制御手段は、上記複数種類のコンディショナルアクセスモジュールのうちの第1の種類のコンディショナルアクセスモジュールが上記第1の接続手段を介して接続されたとき、上記接続されたコンディショナルアクセスモジュールから上記第1の接続手段を介して入力されるデジタルテレビジョン信号を上記復号化手段に出力するように上記インターフェース手段を制御することを特徴とする請求項2又は3記載のデジタルテレビジョン受信機用モジュール。
- [6] 上記制御手段は、第1の電源電圧を上記第1の接続手段を介して上記接続されたコンディショナルアクセスモジュールに出力するとともに、上記制御手段からのアドレス信号及びデータ信号を上記第1の電源電圧で上記第1の接続手段を介して上記接続されたコンディショナルアクセスモジュールに出力するように上記インターフェース手段を制御することを特徴とする請求項5記載のデジタルテレビジョン受信機用モジュール。
- [7] 上記第1の種類のコンディショナルアクセスモジュールは、コモンインターフェースのコンディショナルアクセスモジュールであることを特徴とする請求項5又は6記載のデジタルテレビジョン受信機用モジュール。
- [8] 上記制御手段は、上記複数種類のコンディショナルアクセスモジュールのうちの第2の種類のコンディショナルアクセスモジュールが上記第1の接続手段を介して接続された初期状態のときに、第2の電源電圧を上記第1の接続手段を介して上記接続されたコンディショナルアクセスモジュールに出力し、上記接続されたコンディショナルアクセスモジュールから上記第1の接続手段を介して入力されるデジタルテレビジョン信号を上記復号化手段に出力するとともに、上記制御手段からのアドレス信号及

びデータ信号を上記第2の電源電圧で上記第1の接続手段を介して上記接続されたコンディショナルアクセスモジュールに出力するように上記インターフェース手段を制御することを特徴とする請求項2又は3記載のデジタルテレビジョン受信機用モジュール。

- [9] 上記制御手段は、上記複数種類のコンディショナルアクセスモジュールのうちの第2の種類のコンディショナルアクセスモジュールが上記第1の接続手段を介して接続された初期状態の後の動作状態のときに、上記接続されたコンディショナルアクセスモジュールから上記第1の接続手段を介して入力されるクロック信号を上記復号化手段に出力するとともに、上記復調器から上記第1の接続手段を介して入力される制御信号を上記第1の接続手段を介して上記接続されたコンディショナルアクセスモジュールに出力し、上記接続されたコンディショナルアクセスモジュールから上記第1の接続手段を介して入力される制御信号を上記第1の接続手段を介して上記復調器に出力するように上記インターフェース手段を制御することを特徴とする請求項8記載のデジタルテレビジョン受信機用モジュール。
- [10] 上記第2の種類のコンディショナルアクセスモジュールは、ケーブルカードのコンディショナルアクセスモジュールであることを特徴とする請求項8又は9記載のデジタルテレビジョン受信機用モジュール。
- [11] 第3の種類のコンディショナルアクセスモジュールを上記インターフェース手段及び上記制御手段に接続する別のインターフェース手段をさらに備えたことを特徴とする請求項1乃至10のうちのいずれか1つに記載のデジタルテレビジョン受信機用モジュール。
- [12] 上記第3の種類のコンディショナルアクセスモジュールはICカードのコンディショナルアクセスモジュールであることを特徴とする請求項11記載のデジタルテレビジョン受信機用モジュール。
- [13] (a) 上記第1の接続手段が上記インターフェース手段に接続された第1の状態と、  
(b) 上記第1の接続手段が上記別のインターフェース手段に接続された第2の状態とを選択的に切り替える手段をさらに備えたことを特徴とする請求項11又は12記載のデジタルテレビジョン受信機用モジュール。

- [14] 上記デジタルテレビジョン受信機用モジュールは、複数層の基板を備え、第1の信号配線層基板と、第2の信号配線層基板との間に、複数の薄膜コンデンサを実装したコンデンサ層基板と、複数の薄膜抵抗を実装した抵抗層基板とを挟設したことを特徴とする請求項1乃至13のうちのいずれか1つに記載のデジタルテレビジョン受信機用モジュール。
- [15] (a) 第1の種類の復調器と、上記第1の種類のコンディショナルアクセスモジュールを接続可能な第2の接続手段とを備え、第1の放送方式に準拠した第1の種類の外部基板と、  
(b) 第2の種類の復調器と、上記第2の種類のコンディショナルアクセスモジュールを接続可能な第2の接続手段とを備え、第2の放送方式に準拠した第2の種類の外部基板とのうちの1つに上記第1の接続手段を介して接続可能であることを特徴とする請求項1乃至14のうちのいずれか1つに記載のデジタルテレビジョン受信機用モジュール。
- [16] 上記制御手段は、上記外部基板から上記第1の接続手段を介して入力される種別データ信号に基づいて、上記外部基板の種類及び上記入力されるデジタルテレビジョン信号の放送方式を検出し、上記検出した放送方式に基づいて、上記復号化手段の動作を制御するとともに、上記第1の接続手段を介して通信される信号の種類を切り換えることにより、上記インターフェース手段を制御することを特徴とする請求項1乃至15のうちのいずれか1つに記載のデジタルテレビジョン受信機用モジュール。
- [17] 上記種別データ信号は、上記外部基板において接地導体と接続するか否かにより、上記外部基板の種類に依存して異なるように発生されることを特徴とする請求項16記載のデジタルテレビジョン受信機用モジュール。
- [18] 上記種別データ信号は、上記外部基板に実装されたメモリに、上記外部基板の種類に依存して異なるように格納されたデータを読み出したデータの信号であることを特徴とする請求項16記載のデジタルテレビジョン受信機用モジュール。
- [19] 上記放送方式は、DVB-T方式と、ATSC方式と、ISDB-T方式とのうちの少なくとも1つを含むことを特徴とする請求項18記載のデジタルテレビジョン受信機用モジュール。

- [20] 上記デジタルテレビジョン受信機用モジュールの機能を拡張するための互いに異なる機能を有する複数種類の機能拡張基板を接続するための第3の接続手段をさらに備えたことを特徴とする請求項1乃至19のうちのいずれか1つに記載のデジタルテレビジョン受信機用モジュール。
- [21] 上記機能拡張ボードは、ネットワークに接続するためのネットワーク機能拡張基板と、CATVのヘッドエンドに接続するためのCATVモデム機能拡張基板とのうちの少なくとも1つを含むことを特徴とする請求項20記載のデジタルテレビジョン受信機用モジュール。
- [22] 請求項1乃至14のうちのいずれか1つに記載のデジタルテレビジョン受信機用モジュールと、上記外部基板とを備えたデジタルテレビジョン受信機であって、  
上記外部基板は、  
第1の種類の復調器と、  
第1の種類のコンディショナルアクセスモジュールを接続する第2の接続手段とを備え、  
上記外部基板は、第1の放送方式に準拠した第1の種類の外部基板であることを特徴とするデジタルテレビジョン受信機。
- [23] 請求項20又は21記載のデジタルテレビジョン受信機用モジュールと、上記外部基板とを備えたデジタルテレビジョン受信機であって、  
上記外部基板は、  
第1の種類の復調器と、  
第1の種類のコンディショナルアクセスモジュールを接続する第2の接続手段とを備え、  
上記外部基板は、第1の放送方式に準拠した第1の種類の外部基板であり、  
上記デジタルテレビジョン受信機用モジュールは、第1の種類の上記機能拡張基板をさらに備えたことを特徴とするデジタルテレビジョン受信機。
- [24] 上記外部基板は、  
互いに異なる複数種類のディスプレイデバイスにそれぞれ対応して異なる種類の回路を有し、上記デジタルテレビジョン受信機用モジュールから出力される映像信号及

び音声信号を上記ディスプレイデバイスに出力する複数の種類のディスプレイインターフェースのうちの1つをさらに備えたことを特徴とする請求項22又は23記載のデジタルテレビジョン受信機。

[25] 上記ディスプレイは、液晶ディスプレイと、プラズマディスプレイと、CRTディスプレイのうちの1つであることを特徴とする請求項23記載のデジタルテレビジョン受信機。

[26] 請求項20又は21記載のデジタルテレビジョン受信機用モジュールと、上記外部基板とを備えたデジタルテレビジョン受信機であって、

上記外部基板は、

第1の種類の復調器と、

第1の種類のコンディショナルアクセスモジュールを接続する第2の接続手段と、

第1の種類のディスプレイを接続する第1の種類のディスプレイインターフェースとを備え、

上記外部基板は、第1の放送方式に準拠し、第1の種類のディスプレイに接続する第1の種類の外部基板であることを特徴とするデジタルテレビジョン受信機。

[27] 請求項1乃至14のうちのいずれか1つに記載のデジタルテレビジョン受信機用モジュールと、上記外部基板とを備えたデジタルテレビジョン受信機であって、

上記外部基板は、

第1の種類の復調器と、

第1の種類のコンディショナルアクセスモジュールを接続する第2の接続手段と、

第1の種類のディスプレイを接続する第1の種類のディスプレイインターフェースとを備え、

上記外部基板は、第1の放送方式に準拠し、第1の種類のディスプレイに接続する第1の種類の外部基板であり、

上記デジタルテレビジョン受信機用モジュールは、第1の種類の上記機能拡張基板をさらに備えたことを特徴とするデジタルテレビジョン受信機。

[28] 上記デジタルテレビジョン受信機用モジュールは第1の誘電体基板にて形成され、

上記外部基板は第2の誘電体基板にて形成され、

上記第2の誘電体基板の誘電率は上記第1の誘電体基板の誘電率よりも高いこと

を特徴とする請求項22乃至27のうちのいずれか1つに記載のデジタルテレビジョン受信機。

## 補正書の請求の範囲

[2004年12月14日(14.12.04)国際事務局受理：出願当初の  
請求の範囲1は補正された。他の請求の範囲は変更なし。(1頁)]

1. (補正後) デジタルテレビジョン信号を受信するデジタルテレビジョン受信機  
のためのデジタルテレビジョン受信機用モジュールにおいて、

互いに異なる放送方式のデジタルテレビジョン信号を受信可能な外部基板のうち  
5 の1つの外部基板と電気的に接続するための複数の端子を有する第1の接続手段と、

上記外部基板に設けられた復調器から上記第1の接続手段を介して入力されるデ  
ジタルテレビジョン信号に対して復号化処理を実行することにより映像信号及び音  
声信号に変換して上記第1の接続手段を介して出力する復号化手段と、

上記デジタルテレビジョン受信機用モジュールの動作を制御する制御手段と、

10 互いに異なる電気的仕様を有する複数種類のコンディショナルアクセスモジュール  
のうちの1つのコンディショナルアクセスモジュールに上記第1の接続手段を介  
して接続され、かつ上記復調器、上記復号化手段及び上記制御手段に接続され、上  
記復調器と、上記コンディショナルアクセスモジュールと、上記復号化手段と、上  
記制御手段との間で通信される複数の信号の入力及び出力処理を実行するインター  
15 フェース手段とを備え、

上記制御手段は、当該入力されるデジタルテレビジョン信号の放送方式と当該接  
続されるコンディショナルアクセスモジュールの種類のうちの少なくとも一方に対  
応して、当該接続されるコンディショナルアクセスモジュールの電気的仕様に適合  
するように、上記第1の接続手段を介して通信される複数の信号のうちの少なくと  
20 も1つの信号の電気的仕様を変更して当該信号の種類を切り換えることにより、上  
記インターフェース手段を制御することを特徴とするデジタルテレビジョン受信機  
用モジュール。

2. 上記インターフェース手段は、上記復調器から上記第1の接続手段を介して入  
力されるデジタルテレビジョン信号を、上記第1の接続手段を介して上記コンディ  
25 ショナルアクセスモジュールに出力するとともに、上記復号化手段に出力すること  
を特徴とする請求項1記載のデジタルテレビジョン受信機用モジュール。

3. 上記インターフェース手段は、複数のバッファを備え、

上記制御手段は、上記各バッファのオン／オフを制御することにより、上記入力  
及

## 条約19条(1)に基づく説明書

請求の範囲の請求項1において、「上記制御手段は、当該入力されるデジタルテレビジョン信号の放送方式と当該接続されるコンディショナルアクセスモジュールの種類の中の少なくとも一方に対応して、当該接続されるコンディショナルアクセスモジュールの電氣的仕様に適合するように、上記第1の接続手段を介して通信される複数の信号のうちの少なくとも1つの信号の電氣的仕様を変更して当該信号の種類を切り換えることにより、上記インターフェース手段を制御する」ことが明確になるように減縮補正しました。この補正は、国際出願当初の図6並びに図16乃至図18、並びに、明細書の22頁12行目から29頁24行目まで及び42頁10行目から同頁16行目までの記載に基づいております。

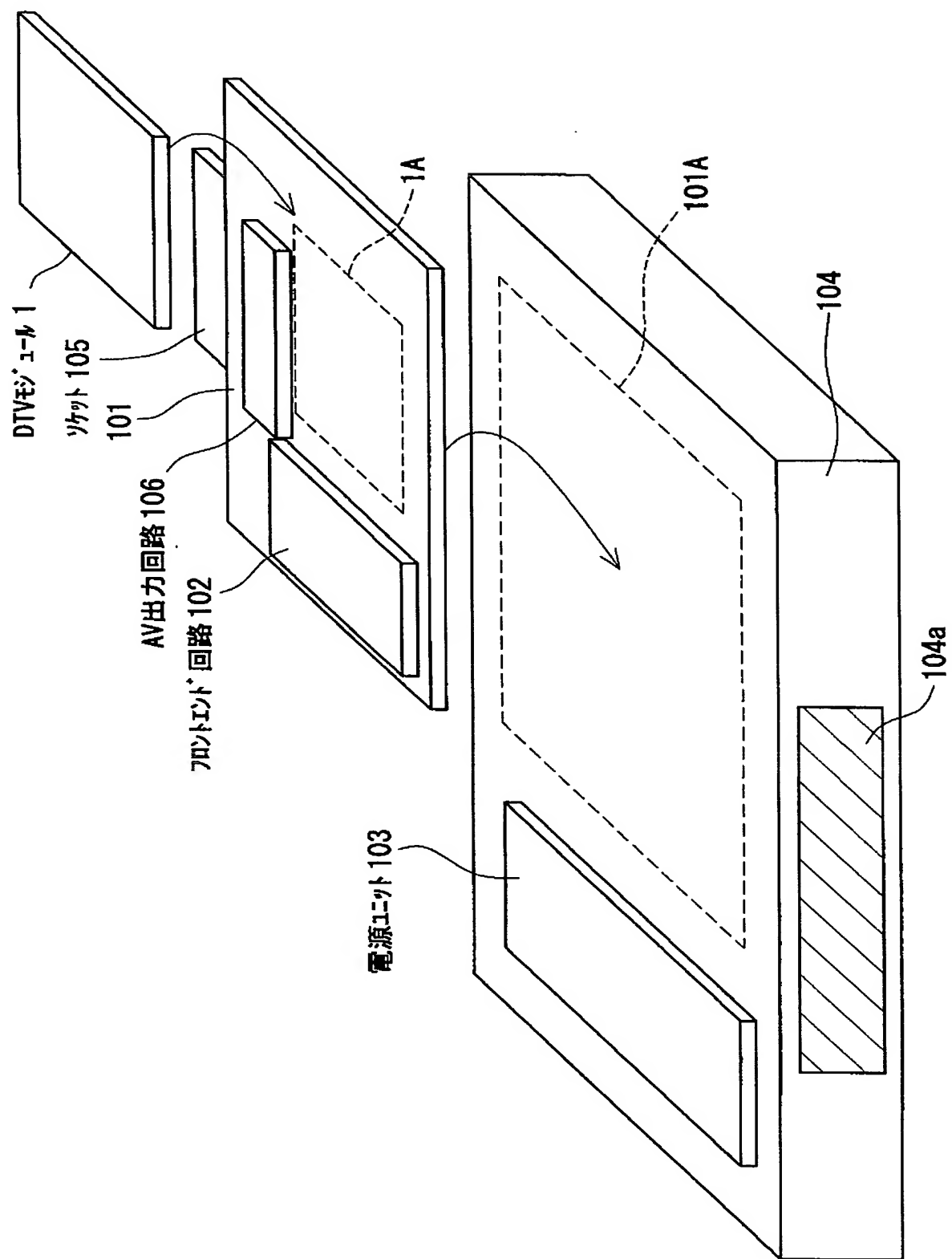
国際調査機関の見解書で引用された文献1の図15においては、互いに異なる種類の2本の信号をマルチプレクサ95により選択的に切り換えてタイプフィルタ96に出力することが開示されております。しかしながら、本願発明の特徴である「入力されるデジタルテレビジョン信号の放送方式と当該接続されるコンディショナルアクセスモジュールの種類の中の少なくとも一方に対応して、当該接続されるコンディショナルアクセスモジュールの電氣的仕様に適合するように、上記第1の接続手段を介して通信される複数の信号のうちの少なくとも1つの信号の電氣的仕様を変更して当該信号の種類を切り換えることにより、上記インターフェース手段を制御する」ことについては、文献1において開示も示唆もありません。

補正後の本発明に係るデジタルテレビジョン受像機用モジュールによれば、各国や各地域共通のデコーダを備えるとともに、各国や各地域のフロントエンド回路及び各市場のCAモジュールを直接的に接続でき、それ故、各国や各地域のフロントエンド回路及び各市場のCAモジュールと接続して動作することを保証できるという特有の効果を有するものであります。

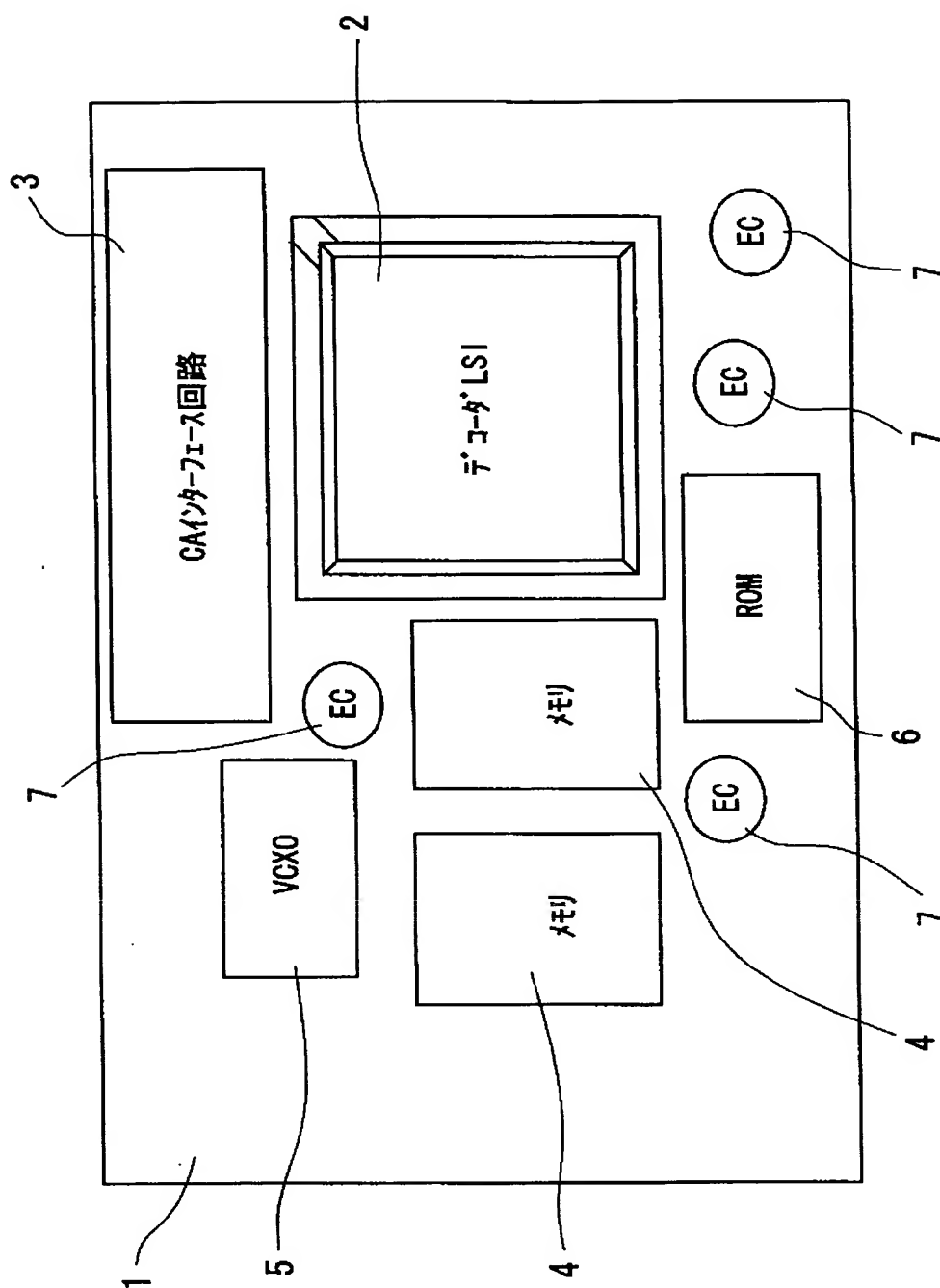
以 上



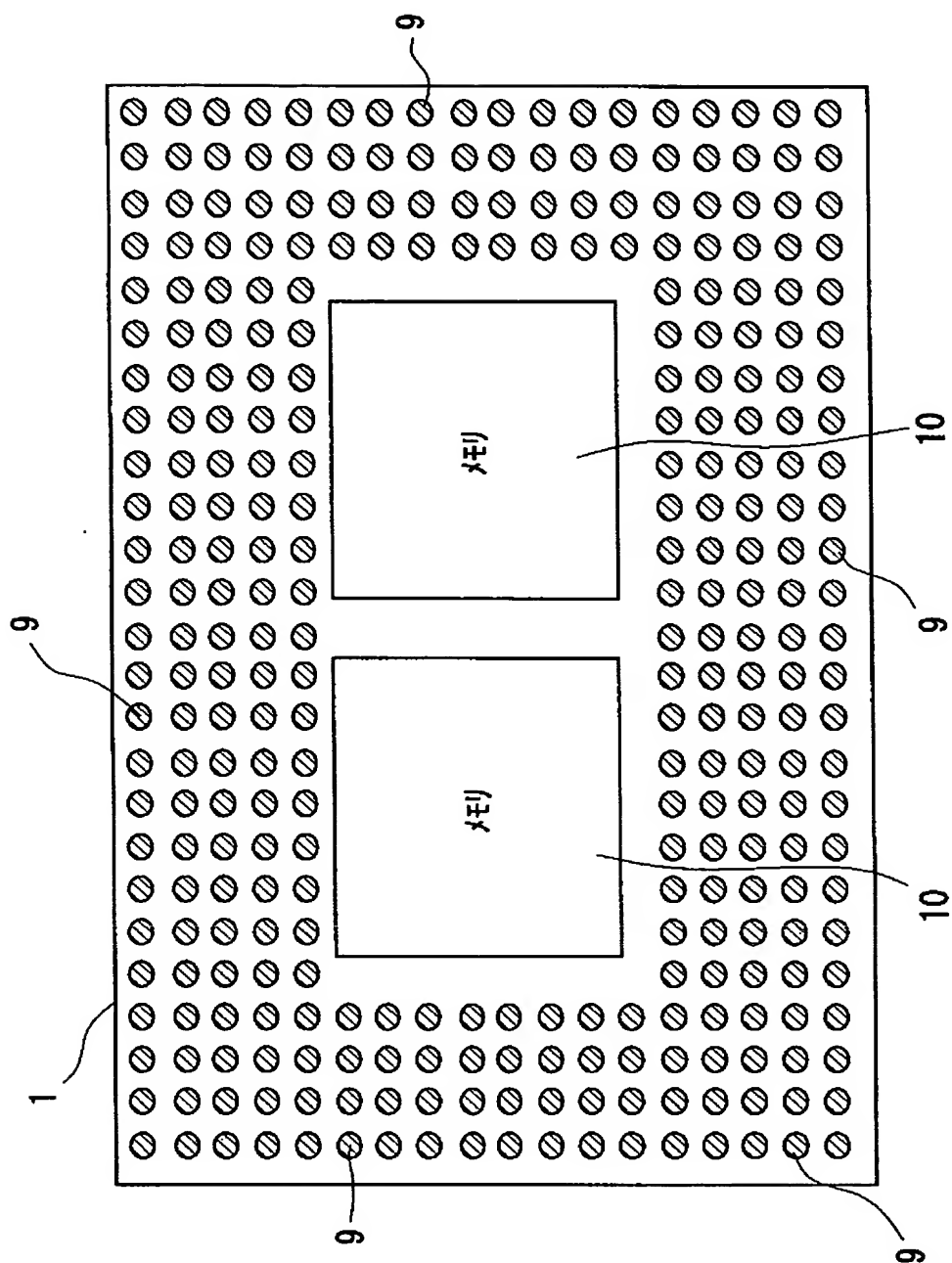
[図1]



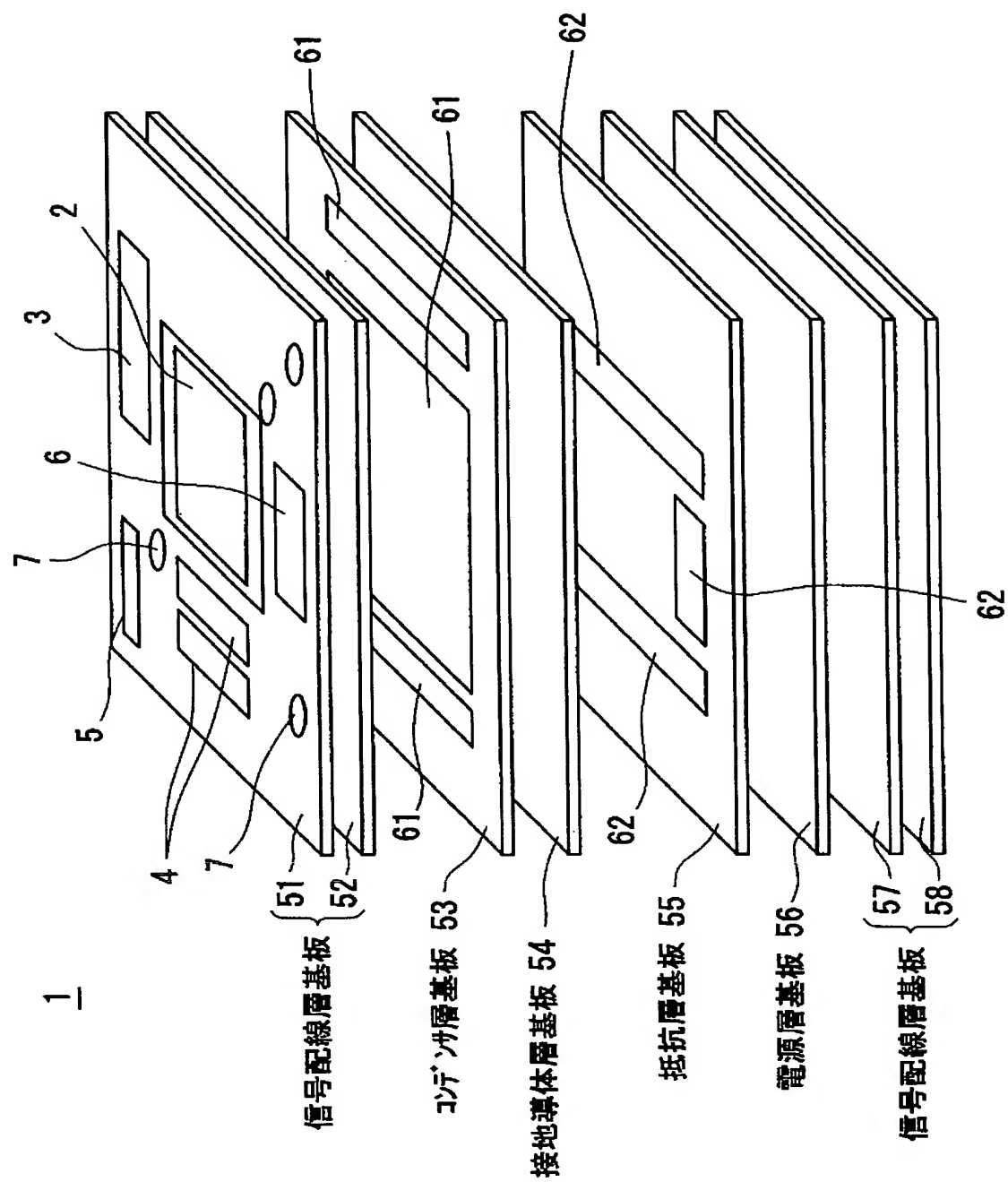
[図2]



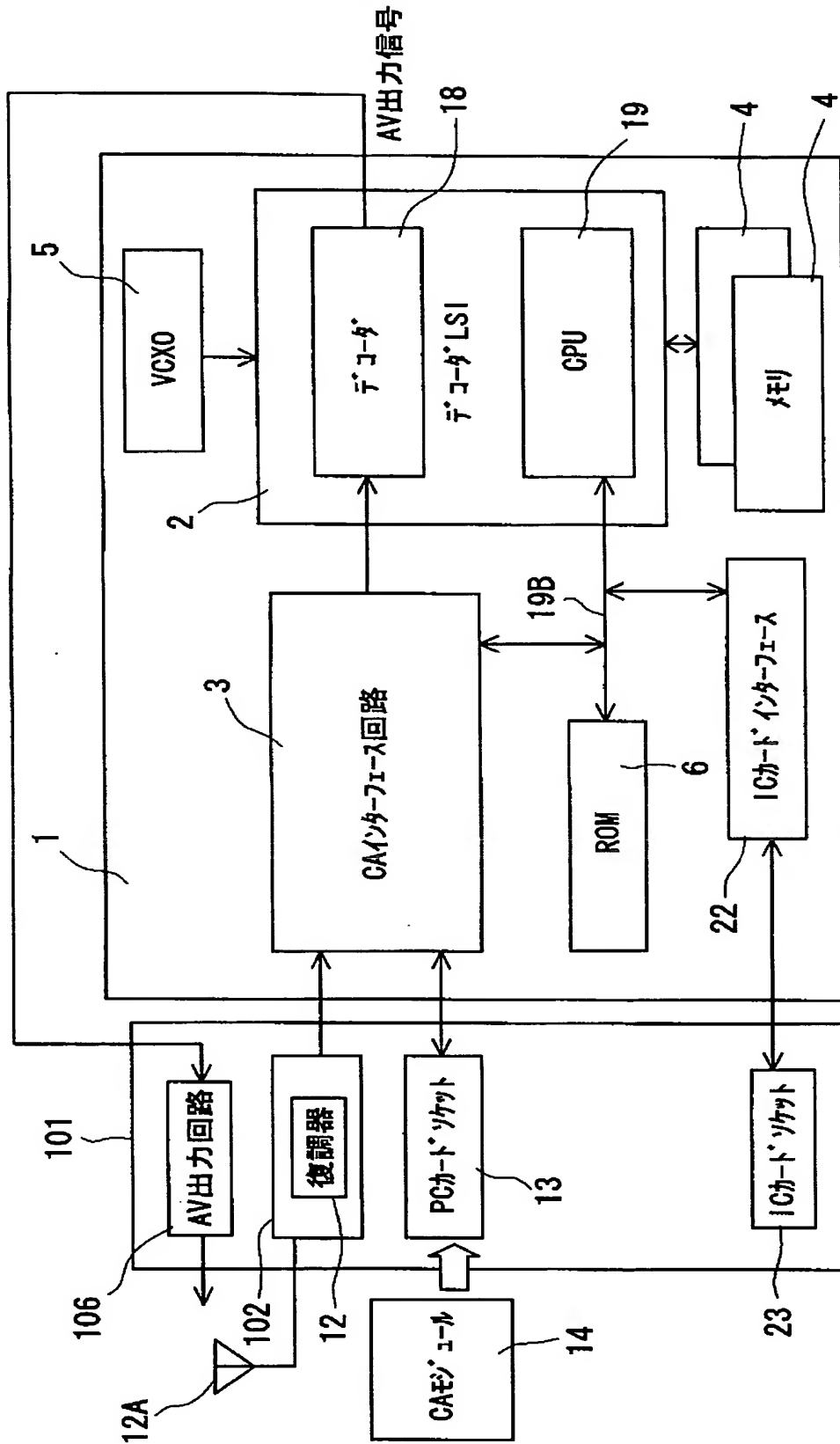
[図3]



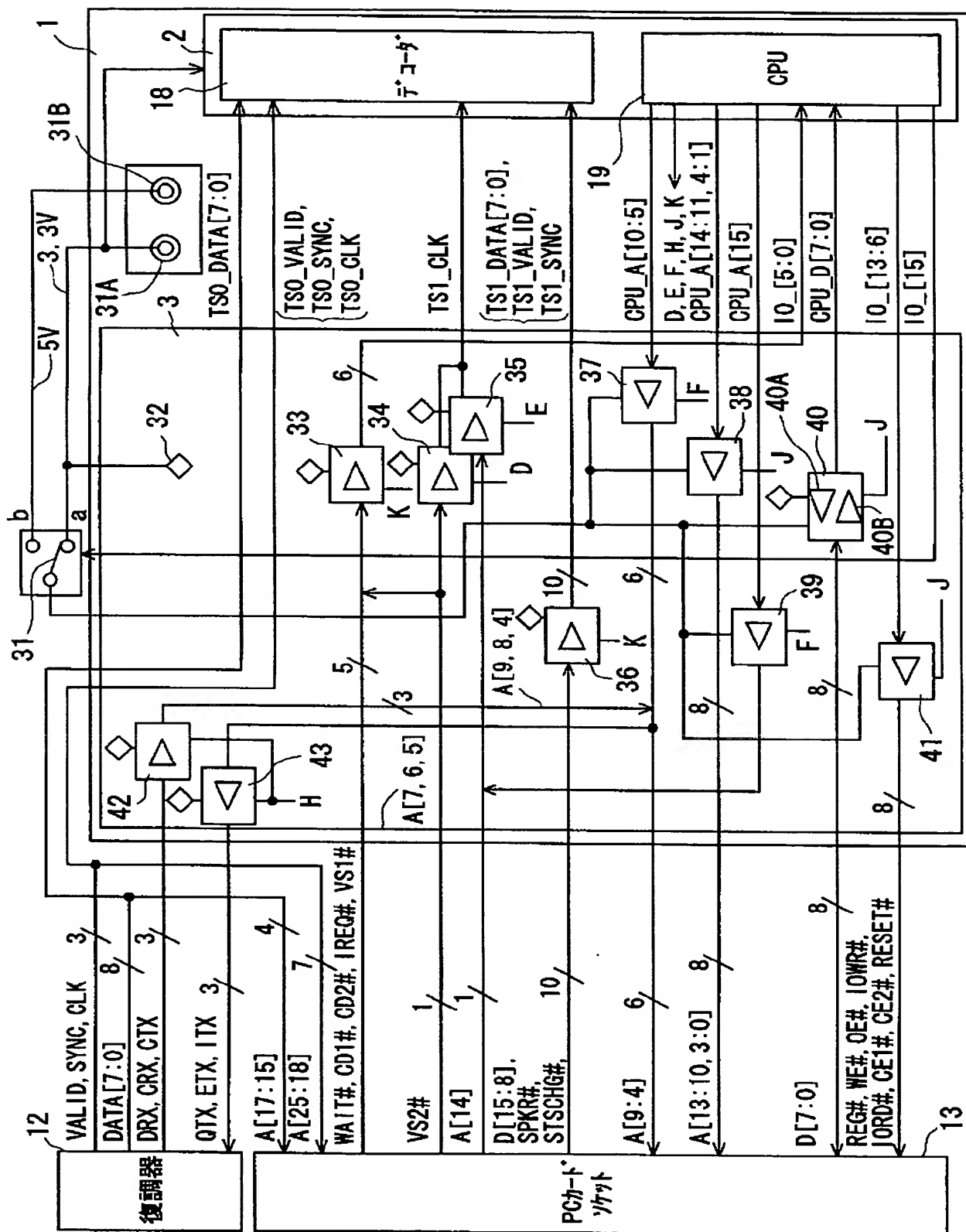
[図4]



[図5]



【図6】



[図7]

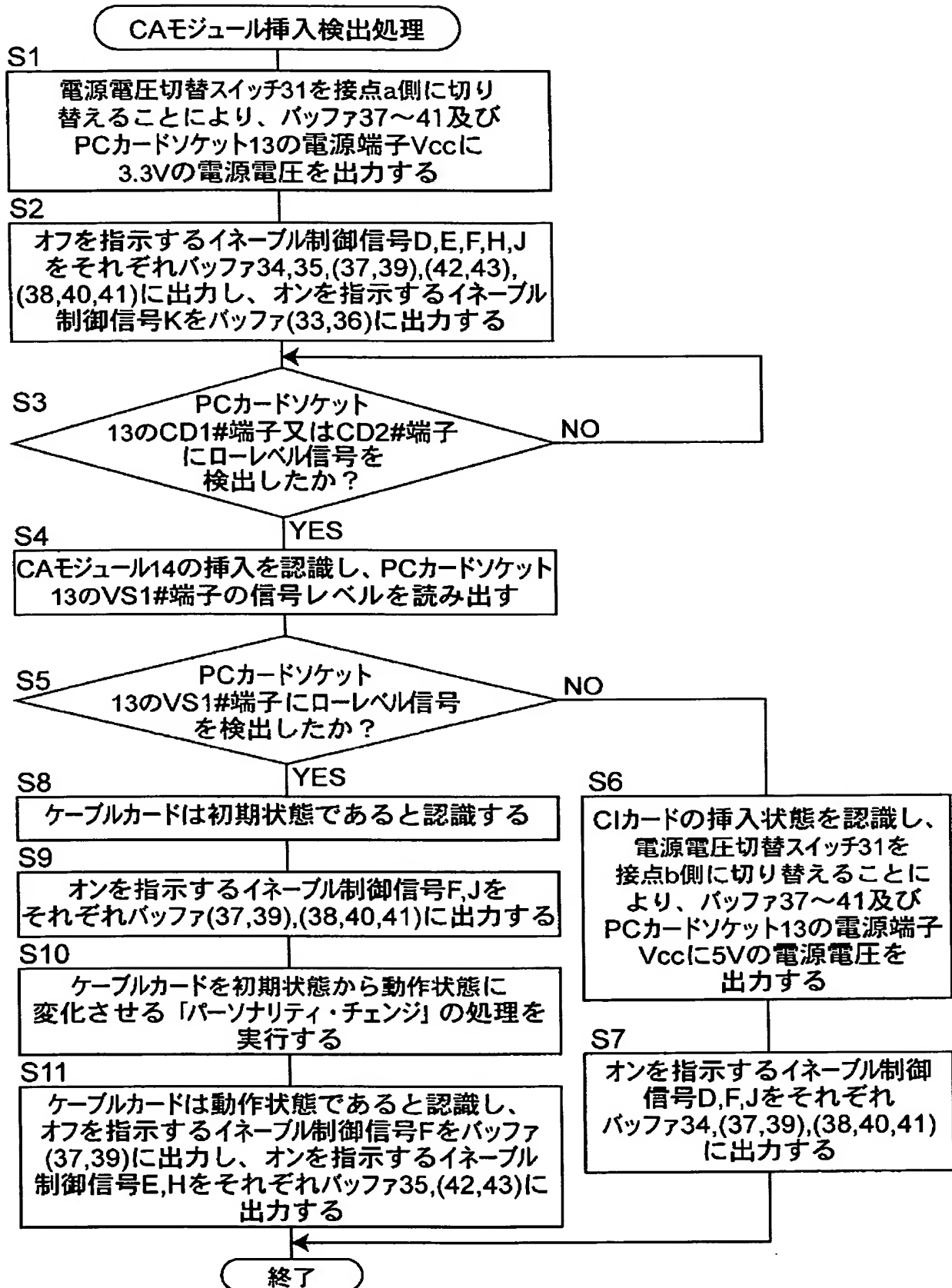
	CAレジュール14が 未挿入のとき	CAレジュール14が挿入されたとき		
		CI	ケーブルカード	動作状態
イネーブル制御信号	D	オン	オフ	オフ
	E	オフ	オフ	オン
	F	オン	オン	オフ
	H	オフ	オフ	オン
	J	オン	オン	オン
	K	オン	オン	オン

[図8]

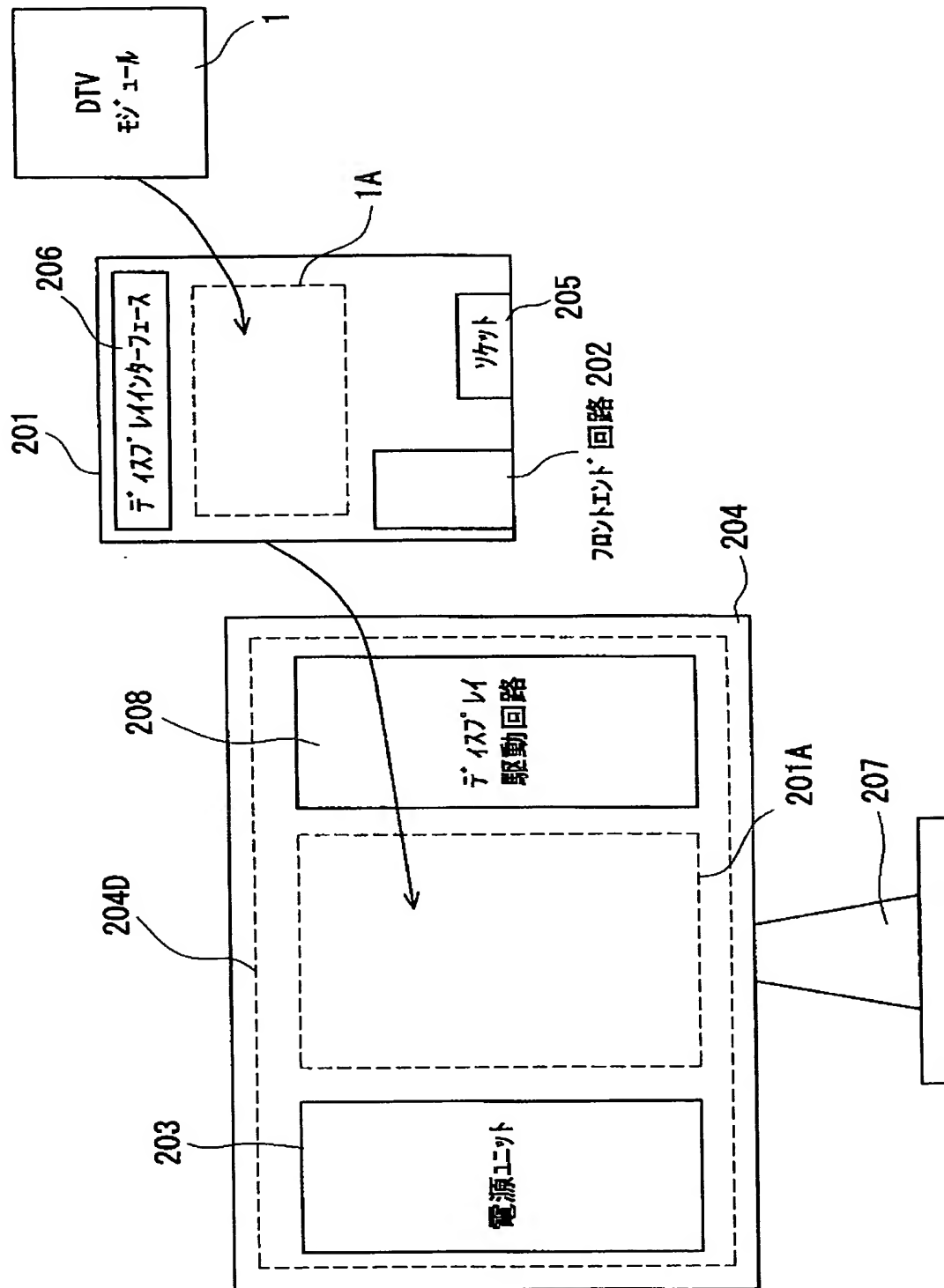
	CAモジュール14が 未挿入のとき	CAモジュール14が挿入されたとき		
		CI	ケーブルカード	
			初期状態	動作状態
バックアップ電源及び PCカード電源Vcc	3.3V	5V	3.3V	3.3V



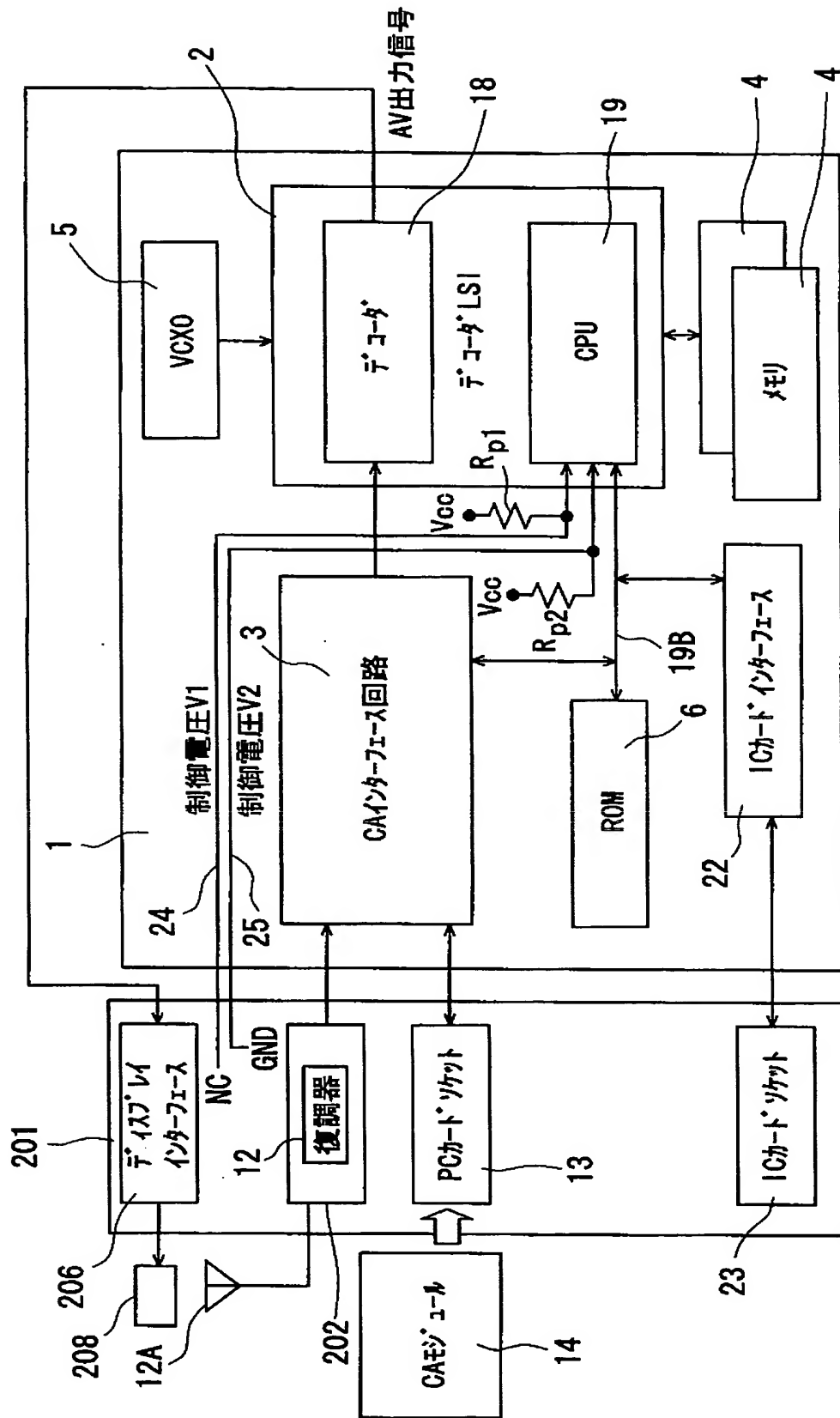
[図9]



[図10]



[図11]



[図12]

		制御電圧V1	
		0	1
制御電圧V2	0	日本におけるISDB-T	北米におけるオンセグメント
	1	欧州におけるDVB-T	マザーボード無し

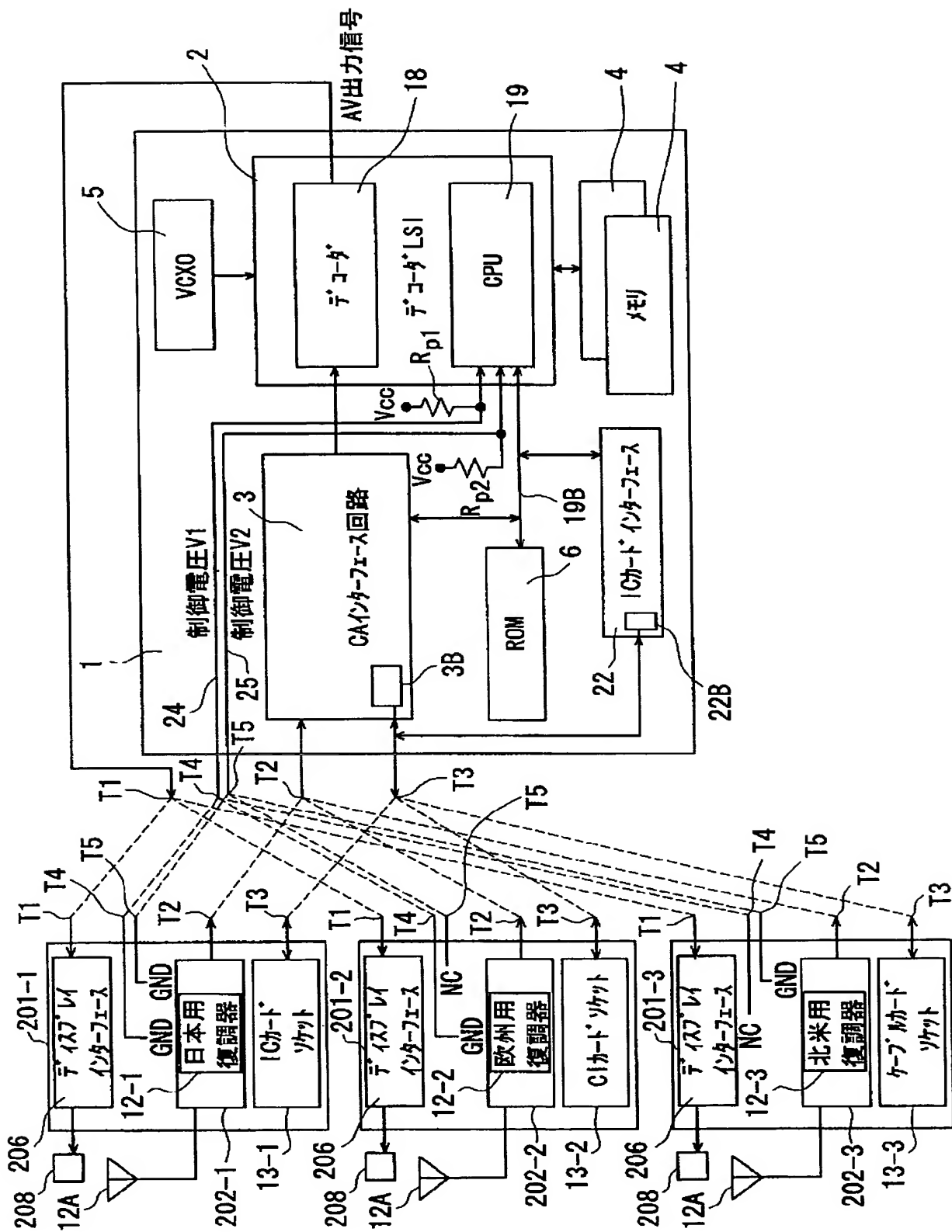
[図13]

	イネーブル制御信号	日本におけるISDB-T	欧州におけるDVB-T	北米におけるオープンケーブル	
				ケーブルカード	
				初期状態	動作状態
	D	オフ	オン	オフ	オフ
	E	オフ	オフ	オフ	オン
	F	オフ	オン	オン	オフ
	H	オフ	オフ	オフ	オン
	J	オフ	オン	オン	オン
	K	オン	オン	オン	オン

[図14]

	日本におけるISDB-T	欧州におけるDVB-T	北米におけるオープンケーブル	
			ケーブルカード	
			初期状態	動作状態
			3.3V	3.3V
バッテリー電源及び PCカード電源Vcc	3.3V	5V		

[図15]



[図16]

日本におけるISDB-T	欧州におけるDVB-T	北米におけるオンケープル	
		ケーブルカードの初期状態	ケーブルカードの動作状態
未使用	CPU DATA[3]	CPU DATA[3]	CPU DATA[3]
未使用	CPU DATA[4]	CPU DATA[4]	CPU DATA[4]
未使用	CPU DATA[5]	CPU DATA[5]	CPU DATA[5]
未使用	CPU DATA[6]	CPU DATA[6]	CPU DATA[6]
未使用	CPU DATA[7]	CPU DATA[7]	CPU DATA[7]
未使用	CE1#	CE1#	CE1#
未使用	CPU ADDRESS[10]	CPU ADDRESS[10]	未使用
未使用	OE#	OE#	OE#
未使用	CPU ADDRESS[11]	CPU ADDRESS[11]	未使用
未使用	CPU ADDRESS[9]	CPU ADDRESS[9]	DRX
未使用	CPU ADDRESS[8]	CPU ADDRESS[8]	CRX
未使用	CPU ADDRESS[13]	CPU ADDRESS[13]	未使用
未使用	CPU ADDRESS[14]	CPU ADDRESS[14]	TS OUT CLOCK
未使用	WE#	WE#	WE#
未使用	IREQ#	READY	IREQ#
未使用	TS IN VALID	CPU ADDRESS[16]	TS IN VALID
未使用	TS IN CLOCK	CPU ADDRESS[15]	TS IN CLOCK
未使用	CPU ADDRESS[12]	CPU ADDRESS[12]	未使用
未使用	CPU ADDRESS[7]	CPU ADDRESS[7]	CTX
未使用	CPU ADDRESS[6]	CPU ADDRESS[6]	ETX
未使用	CPU ADDRESS[5]	CPU ADDRESS[5]	ITX
未使用	CPU ADDRESS[4]	CPU ADDRESS[4]	CTX
未使用	CPU ADDRESS[3]	CPU ADDRESS[3]	未使用
未使用	CPU ADDRESS[2]	CPU ADDRESS[2]	未使用



[図17]

日本におけるISDB-T	欧州におけるDVB-T	北米におけるオーブスケブル	
		ケーブルカードの初期状態	ケーブルカードの動作状態
未使用	CPU ADDRESS[1]	CPU ADDRESS[1]	CPU ADDRESS[1]
未使用	CPU ADDRESS[0]	CPU ADDRESS[0]	CPU ADDRESS[0]
未使用	CPU DATA[0]	CPU DATA[0]	CPU DATA[0]
未使用	CPU DATA[1]	CPU DATA[1]	CPU DATA[1]
未使用	CPU DATA[2]	CPU DATA[2]	CPU DATA[2]
未使用	IOIS16#	WP	IOIS16#
未使用	CD1#	CD1#	CD1#
未使用	TS OUT DATA[3]	CPU DATA[11]	TS OUT DATA[3]
未使用	TS OUT DATA[4]	CPU DATA[12]	TS OUT DATA[4]
未使用	TS OUT DATA[5]	CPU DATA[13]	TS OUT DATA[5]
未使用	TS OUT DATA[6]	CPU DATA[14]	TS OUT DATA[6]
未使用	TS OUT DATA[7]	CPU DATA[15]	TS OUT DATA[7]
未使用	CE2#	CE2#	CE2#
未使用	VS1#	VS1#	VS1#
未使用	IORD#	予約済み	IORD#
未使用	IOWR#	予約済み	IOWR#
未使用	TS IN SYNC	CPU ADDRESS[17]	TS IN SYNC
未使用	TS IN DATA[0]	CPU ADDRESS[18]	TS IN DATA[0]
未使用	TS IN DATA[1]	CPU ADDRESS[19]	TS IN DATA[1]
未使用	TS IN DATA[2]	CPU ADDRESS[20]	TS IN DATA[2]
RESET2 (オフショフ)	TS IN DATA[3]	CPU ADDRESS[21]	TS IN DATA[3]
CLOCK2 (オフショフ)	TS IN DATA[4]	CPU ADDRESS[22]	TS IN DATA[4]
I/O2 (オフショフ)	TS IN DATA[5]	CPU ADDRESS[23]	TS IN DATA[5]
RESET1	TS IN DATA[6]	CPU ADDRESS[24]	TS IN DATA[6]
CLOCK1			

[図18]

日本におけるISDB-T	欧州におけるDVB-T	北米におけるOFDMケーブル	
		ケーブルカードの初期状態	ケーブルカードの動作状態
I/O1	TS IN DATA[7]	CPU ADDRESS[25]	TS IN DATA[7]
未使用	TS OUT CLOCK	VS2#	VS2#
未使用	RESET	RESET	RESET
未使用	WAIT#	WAIT#	WAIT#
未使用	INPACK#	予約済み	INPACK#
未使用	REG#	REG#	REG#
未使用	TS OUT VALID	BVD2	TS OUT VALID
未使用	TS OUT SYNC	BVD1	TS OUT SYNC
未使用	TS OUT DATA[0]	TS OUT DATA[8]	TS OUT DATA[0]
未使用	TS OUT DATA[1]	TS OUT DATA[9]	TS OUT DATA[1]
未使用	TS OUT DATA[2]	TS OUT DATA[10]	TS OUT DATA[2]
未使用	CD2#	CD2#	CD2#

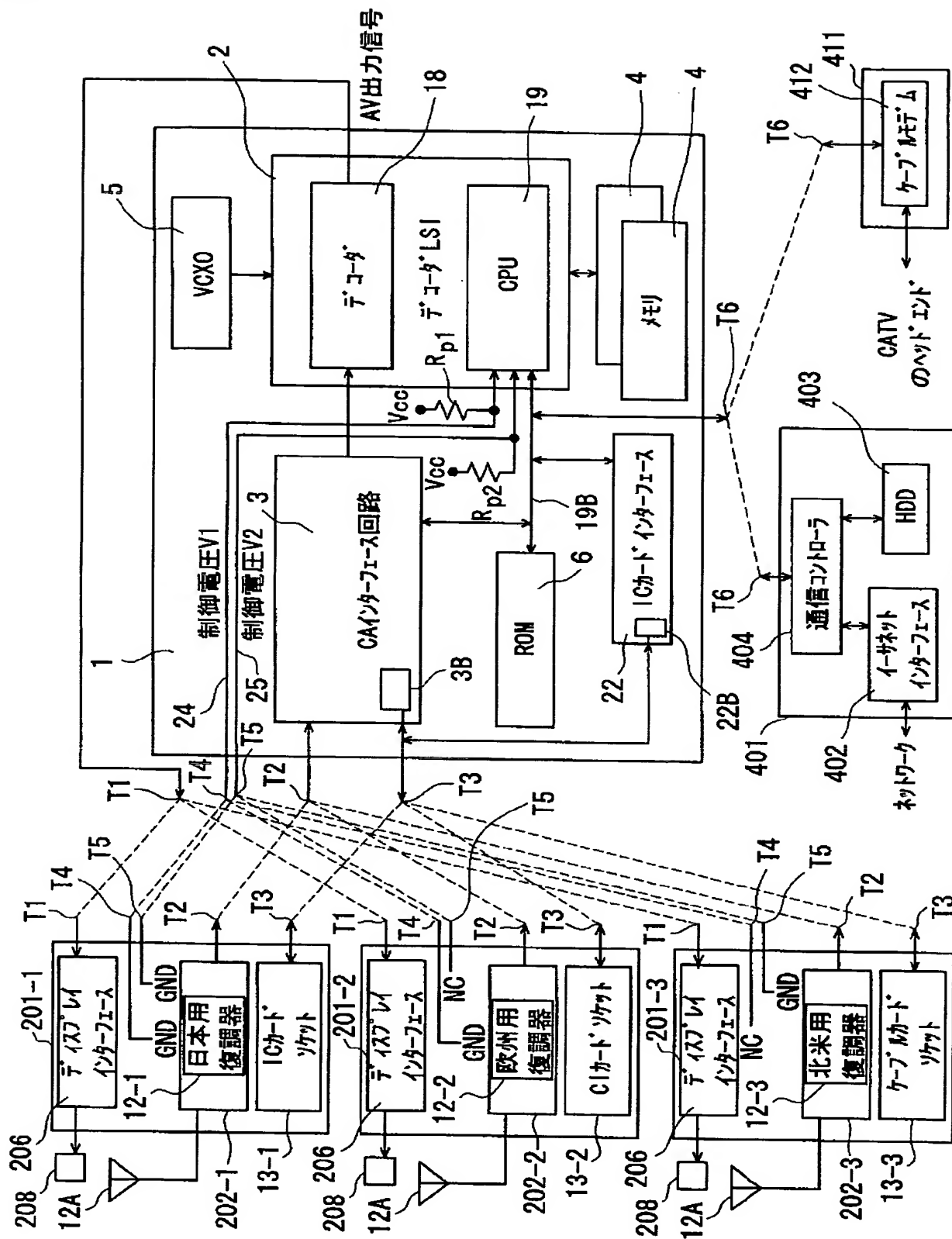
[図19]

日本におけるISDB-T	欧州におけるDVB-T	北米におけるオープンケーブル
Y[7]	Y[7]	Y[7]
Y[6]	Y[6]	Y[6]
Y[5]	Y[5]	Y[5]
Y[4]	Y[4]	Y[4]
Y[3]	Y[3]	Y[3]
Y[2]	Y[2]	Y[2]
Y[1]	Y[1]	Y[1]
Y[0]	Y[0]	Y[0]
UV[7]	UV[7]	UV[7]
UV[6]	UV[6]	UV[6]
UV[5]	UV[5]	UV[5]
UV[4]	UV[4]	UV[4]
UV[3]	UV[3]	UV[3]
UV[2]	UV[2]	UV[2]
UV[1]	UV[1]	UV[1]
UV[0]	UV[0]	UV[0]
H SYNC	H SYNC	H SYNC
V SYNC	V SYNC	V SYNC
CLOCK	CLOCK	CLOCK

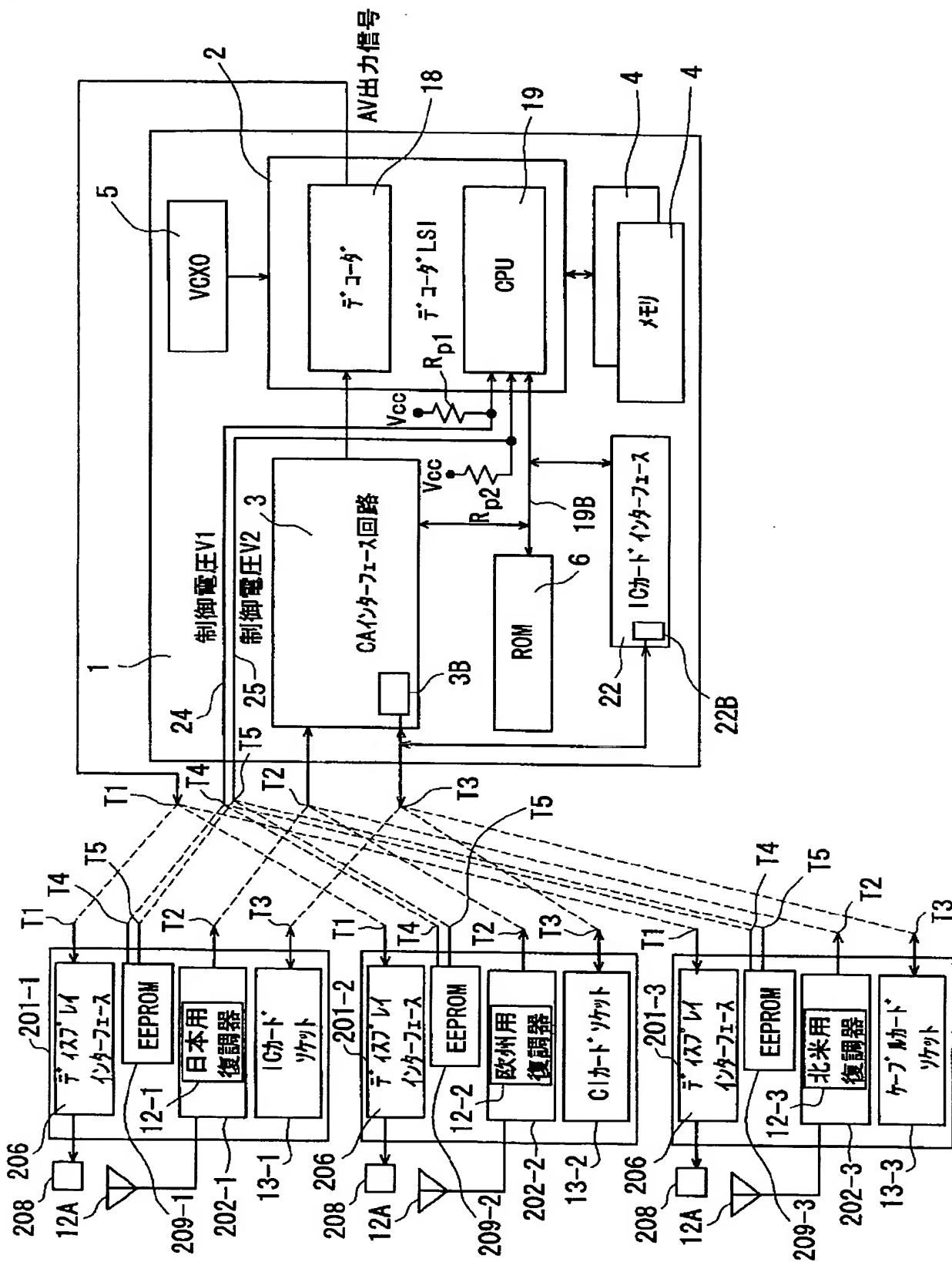
[図20]

日本におけるISDB-T	欧州におけるDVB-T	北米におけるオープンケーブル
TS1 DATA[7]	TS1 DATA[7]	TS1 DATA[7]
TS1 DATA[6]	TS1 DATA[6]	TS1 DATA[6]
TS1 DATA[5]	TS1 DATA[5]	TS1 DATA[5]
TS1 DATA[4]	TS1 DATA[4]	TS1 DATA[4]
TS1 DATA[3]	TS1 DATA[3]	TS1 DATA[3]
TS1 DATA[2]	TS1 DATA[2]	TS1 DATA[2]
TS1 DATA[1]	TS1 DATA[1]	TS1 DATA[1]
TS1 DATA[0]	TS1 DATA[0]	TS1 DATA[0]
TS1 VALID	TS1 VALID	TS1 VALID
TS1 SYNC	TS1 SYNC	TS1 SYNC
TS1 CLK	TS1 CLK	TS1 CLK
TS2 DATA[7] (オフショ)	TS2 DATA[7] (オフショ)	TS2 DATA[7] (オフショ)
TS2 DATA[6] (オフショ)	TS2 DATA[6] (オフショ)	TS2 DATA[6] (オフショ)
TS2 DATA[5] (オフショ)	TS2 DATA[5] (オフショ)	TS2 DATA[5] (オフショ)
TS2 DATA[4] (オフショ)	TS2 DATA[4] (オフショ)	TS2 DATA[4] (オフショ)
TS2 DATA[3] (オフショ)	TS2 DATA[3] (オフショ)	TS2 DATA[3] (オフショ)
TS2 DATA[2] (オフショ)	TS2 DATA[2] (オフショ)	TS2 DATA[2] (オフショ)
TS2 DATA[1] (オフショ)	TS2 DATA[1] (オフショ)	TS2 DATA[1] (オフショ)
TS2 DATA[0] (オフショ)	TS2 DATA[0] (オフショ)	TS2 DATA[0] (オフショ)
TS2 VALID (オフショ)	TS2 VALID (オフショ)	TS2 VALID (オフショ)
TS2 SYNC (オフショ)	TS2 SYNC (オフショ)	TS2 SYNC (オフショ)
TS2 CLK (オフショ)	TS2 CLK (オフショ)	TS2 CLK (オフショ)

[図21]



[図22]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/013741

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H04N5/44, 7/16

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H04N5/38-5/46, H04N7/00-7/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2001/37546 A2 (SCM MICROSYSTEMS GMBH), 25 May, 2001 (25.05.01), Pages 9, 10, 18-23; Figs. 2D, 4, 12, 16 & JP 2003-515286 A Par. Nos. [0012], [0017], [0031] to [0033], [0038]	1, 2 3-28
A	JP 11-331801 A (Sony United Kingdom Ltd.), 30 November, 1999 (30.11.99), Par. Nos. [0026] to [0043] & EP 923245 A2 Par. Nos. [0033] to [0051]	1-28

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
15 October, 2004 (15.10.04)

Date of mailing of the international search report  
02 November, 2004 (02.11.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/013741

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-36820 A (Sony United Kingdom Ltd.), 02 February, 2000 (02.02.00), Par. Nos. [0004], [0005] & EP 923246 A2 Par. Nos. [0006] to [0020]	1-28
A	JP 2002-300506 A (Dainippon Printing Co., Ltd.), 11 October, 2002 (11.10.02), Par. No. [0039]; Fig. 5 (Family: none)	24-27



A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl <sup>7</sup> H04N5/44、7/16		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl <sup>7</sup> H04N 5/38-5/46、H04N7/00-7/68		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年、日本国公開実用新案公報 1971-2004年、 日本国登録実用新案公報 1994-2004年、日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	WO 2001/37546 A2 (SCM MICROSYSTEMS GMBH) 2001.05.25 p.9, p.10, p.18-23 Fig.2D, Fig.4, Fig.12, Fig.16 & JP 2003-515286 A 【0012】 【0017】 【0031】 - 【0033】 【0038】	1,2 3-28
A	JP 11-331801 A (ソニー・ユナイテッド・キングダム・リミテッ ド) 1999.11.30 【0026】 - 【0043】 & EP 923245 A2 【0033】 - 【0051】	1-28
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	15.10.2004	国際調査報告の発送日
		02.11.2004
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	5 P 4228
日本国特許庁 (ISA/J P)	松永隆志	
郵便番号100-8915	電話番号 03-3581-1101	内線 6973
東京都千代田区霞が関三丁目4番3号		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-36820 A (ソニー・ユナイテッド・キングダム・リミ テッド) 2000.02.02 【0004】 【0005】 & EP 923246 A2 【0006】 - 【0020】	1-28
A	JP 2002-300506 A (大日本印刷株式会社) 2002.10.11 【0039】、図5 (ファミリーなし)	24-27